

■10 群 (集積回路) - 2 編 (集積回路製造技術)

3 章 プロセス要素技術

(執筆者：寺本章伸) [2010 年 4 月 受領]

■概要■

シリコンによる集積回路の発展を支えてきたものは、リソグラフィ、エッチング技術に代表される微細化技術を中心としたプロセス技術であることは言うまでもない。基本的に、半導体プロセス技術は、目的に応じて導電性や絶縁性の薄膜を形成する工程、それを任意の形に加工する工程、必要に応じての洗浄工程に分類される。それぞれの工程に関してもその目的、難易度に応じて様々な方法が提案・実施されている。成膜工程では、CVD (Chemical Vapor Deposition)、PVD (Physical Vapor Deposition)、ALD (Atomic Layer Deposition) などであり、加工技術では、プラズマを用いた RIE (Reactive Ion Etching) や水溶液を用いた方法、機械研磨を応用した CMP (Chemical Mechanical Etching) などである。洗浄においても、前工程では、RCA 洗浄と呼ばれる高温、高濃度薬液を特徴とするものから、オゾンや水素を添加した機能水を用いて室温で薬液の低濃度化を図ろうとしたものが提案されている。

このように多種多様なプロセス要素技術が開発され、それぞれの要素技術は非常に高度化されるとともに細分化・専門化されてきている。これらの要素技術を次章にも示すプロセスモジュールも考慮したうえで、目的・用途に合わせて使いこなすことが重要である。デバイスの微細化・高集積化とともにデバイス構造の複雑化が進み、集積回路製造はますます難しくなっている。特に今後は一つのプロセス要素技術の最適化だけでなく、集積回路製造の全体を見渡した最適化が必要である。

【本章の構成】

本章では、まず洗浄技術と各種成膜方法を述べる。微細化技術に欠かすことのできないリソグラフィ技術について、光学式の縮小投影法、マスク作製に用いられる電子線描画について述べる。描画方法と合わせて、フォトレジスト材料とその特性について述べる。次に、これも微細化技術として重要なプラズマを用いたドライエッチング技術について述べる。更に、シリコン材料の導電率を変化させる技術として不純物の導入について述べる。

また、本章ではプロセス要素技術を組み合わせた形で DRAM (Dynamic Random Access Memory) や高周波回路で非常に重要なキャパシタンス形成技術、高周波回路で重要となっているインダクタンス形成技術についても述べる。

■10 群 - 2 編 - 3 章

3-1 ウェットプロセス技術

(執筆著者：森田博志) [2009 年 12 月 受領]

3-1-1 基板洗浄

半導体生産におけるウェーハの洗浄回数は、フォトリソグラフィ工程数の 2~3 倍であり、近年の LSI 製造においては 100 回を優に超えている。洗浄で回路ができるわけではないが、微粒子・金属・有機物といった汚染を除去し、表面荒れのない清浄な面に仕上げるウェット洗浄は、半導体生産の土台を支える工程といえる。

1970 年に発表された RCA 洗浄¹⁾が、今なおウェット洗浄の基盤技術となっている。過酸化水素水にアンモニア水を加え超純水で希釈した APM による洗浄 (SC1) は、ウェーハ表面の僅かなエッチングと異物の再付着防止機能を併せもち、微粒子除去に使われている。過酸化水素水に塩酸を加え超純水で希釈した HPM による洗浄 (SC2) は、強酸性・強酸化性の性質によりウェーハ上の金属汚染除去に有用である。過酸化水素水に硫酸を加えた SPM を用いると、ウェーハ上のレジストやそのアッシング後の残渣など、濃厚な有機汚染を除去することができる。これらに、シリコン酸化膜を溶解する機能をもつ希フッ酸 (DHF) などを組み合わせると、酸化膜に取り込まれた金属まで除去することができる。

上述の洗浄は、大量の薬液とリンス用超純水の消費と大量の廃液排出を伴う。希フッ酸以外はすべて高温で用いられるものであり、そのためエネルギー消費と濃度維持の難しさも問題点として以前から指摘されていた。これに対し、APM、HPM などの低濃度化、低温化という部分的な変更による改善が半導体製造各社に普及した。更に、抜本的に洗浄工程を環境に優しく生産性の高いものに改めるための検討も種々行われてきた。その代表的な成果が、いわゆる機能水洗浄である。SPM、HPM を酸化力の強いオゾン水で代用し、微粒子は微量のアルカリを添加した水素水による超音波洗浄で除去する、全室温洗浄プロセスが構築されている²⁾。水素水は軽度の微粒子汚染除去には有効であるが、基板表面の溶解が必要な強い汚染の除去には適さない。適材適所の使い分けが重要である。

オゾン水は非常に高い酸化還元電位をもつが、せいぜい 100 ppm 前後までという濃度の低さ (酸化種の量の少なさ) に限界があり、レジストのような濃厚な有機物除去には向きである。このため、レジスト剥離では SPM が使われ続けてきた。これに対し、近年、特殊な電解装置を用いて、硫酸の一部を極めて酸化力の強い過硫酸に転換させ、SPM の代用とする硫酸電解技術が開発された³⁾。洗浄槽におけるレジストの分解に伴い過硫酸は硫酸に戻るが、その液をまた電解して洗浄槽に送るループを構成することで、硫酸を長時間連続使用できる。過酸化水素水が不要でレジスト剥離効果は SPM と同等以上という、新たな薬液活用技術である。これらの技術を用いて、目的に応じた簡便な洗浄プロセスを組み立てることが大切である。

3-1-2 ウェットエッチング

リソグラフィの後には、必ずエッチング処理がある。これは、CVD 装置やスパッタ装置、あるいは加熱装置によって成膜された多種多様な膜材をリソグラフィによるパターンに従い削り取る処理である。

エッチングにはウェット処理とドライ処理の2種類があり、近年ドライエッチング工程が大部分を占めるようになってきている。しかし薬液を用いて行われるウェットエッチングには、①一度に大量の基板を処理できる、②装置や薬液のコストが低い、③エッチングされる母材に与える損傷が少ない、という長所がある。これらを生かし、ウェットエッチングでは無理な場合にドライエッチングを用いる使い分けが一般的となっている。

ウェットエッチングには、等方性エッチングと異方性エッチングがある。等方性エッチングは、マスクの下の方だけでなく横の方にも同じ速度でエッチングが進むため、マスクの直下があぐらされていく。フッ硝酸を酢酸で希釈した液によるシリコンのエッチングがその代表的なものである。

これに対し異方性エッチングでは、シリコン結晶面によるエッチング速度の違いを活用して、V字型や台形のくぼみなどを作ることができる。シリコン結晶の表面では、結合手が2本で繋がっている(100)面の方が、3本で繋がっている(111)面よりエッチングされやすい。この性質の違いが利用されている。代表的なエッチング液はKOHなどである。

実際の半導体製造プロセスにおいては、コンタクトホール側の側壁酸化膜の種類が単一組成でなく、例えばBPSG膜、TEOS膜などのマルチレイヤになっている場合が多い。この側壁に凹凸を作ることなく、電気的コンタクトで重要な底面の自然酸化膜を除去する非選択的ウェットエッチングが必要となっている。この要求に対して、BPSGとTEOSそれぞれのエッチング因子である未解離HF分子と HF_2^- イオンの濃度がバランスするよう、HFと NH_4F の混合比が調整されたバッファードフッ酸(BHF)が用いられている⁴⁾。

逆に、これら複数の酸化膜のエッチング選択比を大きくするための技術として、比誘電率の低い溶媒をエッチング液に混合する手法が開発されている。水の比誘電率は78.3であるが、テトラヒドロフラン(THF)のそれは7.6と桁違いに低い。このTHFをフッ酸系のエッチング液に混合することで、液全体の比誘電率を下げられる。比誘電率が下がるとHFの解離は抑制され、熱酸化膜、TEOS酸化膜のエッチング因子である HF_2^- は減り、逆にBPSGのエッチング因子である未解離HF分子が増える。この手法により、選択比が優に100を超えるウェットエッチングが実現できるようになった⁵⁾。これらの技術を駆使して、目的の膜エッチング、MEMSの微細加工などが行われている。

■参考文献

- 1) W.Kern, et al, RCA Review 31, p.187, 1970.
- 2) H.Morita, et al, Proceedings of ISSM'99, p.453, Santa Clara, 1999.
- 3) 永井達夫, “電解硫酸によるレジスト剥離システム,” クリーンテクノロジー, 18-5, p.31, 2008.
- 4) 宮下雅之, “シリコン酸化膜の精密エッチング技術の研究,” 博士学位論文, 2000.
- 5) T. Kezuka, “Ext. Abstracts,” 196th Meeting of Electrochemical Society, Hawaii, 1999.

■10 群 - 2 編 - 3 章

3-3 リソグラフィ技術

(執筆著：宮本恭幸) [2009年12月 受領]

高速化／集積化を支えている微細化技術のなかでもゲート長を決めるリソグラフィ技術は重要である。リソグラフィ (Lithography) とはギリシャ語の Lithos (石の意味) と Graphien (書くの意味) からできた言葉で元々は石版印刷のことだが、半導体プロセスでは光や電子やイオンでパターンを描くときに使う言葉である。

光や電子を照射しても、半導体や絶縁体、金属の形状／性質はあまり変わらないので、化学的性質が光照射などによって変わるレジストと呼ばれる高分子物質をスピンコーティングなどで試料上に薄く塗布し、光照射後に変った化学的性質を利用して現像工程で部分的に溶解/除去してパターンを形成してから、このパターンを使ってプロセスを行うのが通例である。

本節では、現時点で集積回路製造に使われている光露光、今後期待されている EUV、及びマスクの原盤作製に重要な電子ビーム露光について述べる。

3-3-1 光露光

光露光には、コンタクト (近接) 露光法と縮小投影露光法があるが、ここでは現在主流の縮小投影露光法に集中しよう。

縮小投影露光法は、光源からでた光をいくつものレンズを通した後でマスクを通し、その後再びレンズを通してウェーハ上のレジストにパターンを転写する。このとき、光学系によってマスク上のパターンは 1/2 から 1/10 程度 (主流は 1/4) に縮小されて投影される。また、現在用いられている 8 インチや 12 インチのウェーハを 1 回の光照射で転写することは、マスクが 1 m 角を越えたり、また歪みなどによる部分的な歪みも取り除けないので行われない。そこで、ステップ&リピートと呼ばれる方法を採用。これは小さな領域に照射してはウェーハを動かし、また照射することを繰り返すものである。動かすたびに位置合わせ、焦点合わせを行っている。ここから、ステッパというのが光露光機の一般的な名称となっている。大きなパターン (例えば 20 mm × 32.5 mm 程度) を転写したいときには光学系を大きくできない関係で、マスクと基板を同時に動かしながら露光するスキャナも使われている。

微細なパターンニングに重要な事は解像度である。例えば、微小なスリットから出てきた光は回折し裾を引く。二つのスリットから出てきた光が解像できるかどうかは、光学的には回折による極小と最大が区別できればビームが解像したとするのが一般的である。しかし、実際の光露光では、たとえ微小な光の差であってもそこから解像できればよいことから、解像度 $R = k_1 \lambda / NA$ で表す。ここで k_1 はプロセスで決まる係数であり、当初の 0.9 から最近では 0.4 程度となっている。一方 NA はレンズの開口数であり、一般的なレンズとしての限界は 0.95 程度である。結果として、波長 λ に強く依存していることがわかる。

以上から、微細なパターンの転写には、光源の波長を短くすればよい。当初、高圧水銀ランプからの光をフィルタで選択して、1980年代は 436nm の g 線を、1990年代は 365 nm の i 線を使っていた。更に波長を下げるために、波長 248 nm の KrF エキシマレーザが次に使われ、現在は波長 193 nm の ArF エキシマレーザが最先端である。

また、解像度以外に注意されているパラメータは焦点深度 (Depth of Focus : DOF) であり、 $DOF = k_2 \lambda / NA^2$ と表せる。NA が大きくなると解像度が小さくなる以上に DOF は小さくなってしまう。そこで微細化が進むとウェーハの平坦性への要求も厳しくなり、CMP 技術が用いられるようになった。

レジストには、光または電子を照射したところが現像工程で溶解し除去されるポジレジストと、逆に照射したところが残るネガレジストがある。レジストは転写するために必要な露光量である感度や、転写が起こる境界の明瞭さを示すコントラストなどで評価される。i 線での最も代表的なフォトリソレジストが DNQ (ジアゾナフトキノロンとノボラック樹脂の 2 成分) で、ジアゾナフトキノロンが未露光領域では溶解抑止剤となりアルカリ水溶液に不溶となるが、露光領域はアルカリ水溶液に可溶なインデンカルボン酸となるポジレジストである。

さて、ジアゾナフトキノロンもノボラックも紫外領域での光吸収が大きくなり、250 nm あたりからレジストの基板近傍での強度分布がぼけて形状が変わる。更に、従来の i 線に比べて KrF などの光量は弱くなる傾向がある。そこで新しいレジストとして化学増幅レジストが開発された。化学増幅レジストは光による酸発生剤 (Photo Acid Generator : PAG) で形成した酸による触媒反応を用いる。酸による触媒反応では、通常は溶解性を上げるが、架橋させてネガレジストにする例もある。触媒反応で感度を上げられるが、そのためには酸の拡散が必要で、露光後現像前に露光後ベーキング (Post-Exposure Baking : PEB) と呼ばれる熱処理を行うのが通例である。

更なる短波長化の問題点は透明な光学材料がなくなることであり、僅かな酸素雰囲気を含む窒素さえも透過できなくなっていく。そこで液浸と呼ばれる高屈折率液体中での露光方法が始まった。ArF の波長 193 nm において、水の屈折率が 1.44 であることを利用して 134 nm 相当の露光を行う。対物レンズとウェーハの間をすべて水にしよう。電極周期 45 nm のフラッシュメモリの生産が既に液浸で始まっている。水よりもっと高屈折率の材料をもってくれば、更に波長を短くできるが、フッ化カルシウムの 193 nm における屈折率は 1.5、熔融石英が 1.55 であることから、更に高屈折率のレンズに適した光学材料を開発する必要がある。

また、現在波長の半分程度まで解像度があるのは、僅かな光度差を捕まえるレジストのコントラスト特性の向上もあるが、位相シフト法、輪帯照明、また光学近接効果補正 (Optical Proximity Correction : OPC) などの解像度向上技術 (Resolution Enhancement Technology : RET) と呼ばれる技術も用いている。位相シフト法は、180 度位相をシフトした光と元の光は干渉して強度が 0 になることを利用しているが、周期構造における回折光で考えれば従来出ていた 0 次及び ± 1 次の回折光において ± 1 次光同士の干渉を使っていたのに対して $\pm 1/2$ 次の回折光の干渉を使っていることに相当し、原理的には最小周期を半分にする。輪帯照明は、斜めから光源を入射させることで、0 次の光と ± 1 次の光を干渉させたもので、やはり原理的には最小周期を半分にする。OPC は、四角いマスクパターンを通過してきた光のパターンがウェーハ面上では回折で角が丸くなることから、マスク上において丸くなる箇所をほみ出させるパターン (コーナーセリフ) などを追加するものである。これらを総合して照明光源形状やマスクレイアウトの同時最適化を行うことを計算機リソグラフィ (Computational Lithography) とも呼んでいる。

なお、解像するパターンの周期は波長に強く依存するが、線幅自身はその後のエッチング

などでより細くできる。したがって、フラッシュメモリや DRAM などの電極の半周期よりも、トランジスタのゲート長は小さくできる。そこで、それを利用してダブルパターンニングという手法で露光できる周期を更に縮める試みがある。最も簡単なスペーサ法では、1 回できたパターンを細くした後、その側壁に後で除去できるスペーサを堆積し、更に得たい構造を堆積してパターンを倍増させる。更に、LFLE 方式 (Lith-Freeze-Lith-Etch) や LELE 方式 (Lith-Etch-Lith-Etch) など 2 回露光を行う方法も試みられている。ただし、露光同士の重ね合わせ精度などは非常に厳しくなってくる。

ここで、ある技術の実現できる電極の最小半周期はテクノロジーノードと呼ばれて各技術世代の目安となっているが、トランジスタのゲート長はそれより短いことから、半導体ファウンダリーサービスなどでは 2 世代程度進んだ世代の値を示すことが多く、どの技術世代で作製したかの表記には注意する必要がある。

3-3-2 EUV

液浸リソグラフィの後のリソグラフィ法として現在最有力視されているのが、極端紫外線 (Extreme Ultra Violet) リソグラフィ、略して EUV である。22 nm ノードでの転写を目指して開発が進んでいる。

EUV は真空紫外光とも軟 X 線 (波長 0.3~30 nm) ともいえる波長 13.5 nm の光を使った X 線による露光法であるが、光学系を構築して縮小投影露光をしているところが、当初提案されていた X 線露光法との違いである。

この波長帯に良好な透過率をもつ材料は存在しないので、例えば Mo と Si を交互に数十層重ねた多層膜構造によるブラッグ反射鏡を何枚か用いて反射型光学系を構築する。反射鏡には、1 nm 以下の精度をもつ非球面ミラーが必要である。

光源はシンクロトロン放射光が当初使われたが、現在はレーザー生成プラズマ (Laser-Produced Plasma : LPP) または放電生成プラズマ (Discharge Produced Plasma : DPP) が光源の候補となっている。LPP では、数十 μm 径の Sn のドロップレットに CO_2 ガスレーザー光を照射して、13.5 nm を放射するポイントプラズマソースを作っている。そこで用いた Sn などがデブリ (高温プラズマや放電による飛沫物) となりミラーに付着することから、この対策も重要である。

EUV はいまだ量産化されておらず、SRAM セルの試作が報告されている段階である。したがって、量産化のために、欠陥の少ないマスクブランク (マスクブランク自身もブラッグ反射鏡でできている) や、180 W 以上の光源出力など、様々な達成されていない要求があるが、レジストにおいては、線幅揺らぎ (Line Width Roughness : LWR) が 3σ で 3 nm 以下、 $10 \text{ mJ}/\text{cm}^2$ 以下の感度と 40 nm 以下周期での解像力という厳しい要求がある。EUV は光子のエネルギーが大きいことから直接化学的反応に寄与しづらく、光子が分子をイオン化することにより発生する 2 次電子で感光する電子線露光に近い露光法となるが、要求されるような高い感度を実現するためには、化学増幅レジストを用いるしかない。その場合、解像力や LWR は劣化しやすいことから、PAG の異方性をもった拡散など新たなコンセプトを導入することが必要である。

3-3-3 電子ビーム露光

マスクを作る一般的な方法は、電子ビーム露光法である。これは、電子源から出したビームを加速して絞りを含む電子光学系によって細い電子ビームを作り出し、それを偏向電子光学系で前後左右に振ることで自由なパターンを描くものである。

加速電圧は 5~100 keV の範囲であり、この状態での電子の波長はエネルギーの平方根に比例するが、10 keV としても 0.0123 nm であり、波長による限界は考えなくてよい。欠点は、一筆書きであり、かつクーロン相互作用などの影響で電子ビームの電流を上げるとビームが太りやすいので電流量が低く制限されることから、露光に非常に時間がかかることである。スループットが取れないので、生産現場ではほとんど使われていない。しかし、レジストに細い線を書くことにかけては現在最もその能力が高く、レジストを選べば 10 nm の線を書くことは容易であり、研究段階の微細デバイスも電子ビーム露光法で作られている。本当に細いビームを作るためには、電子のもつエネルギー純度を上げないと集束が難しいので、タングステンや LaB₆ による熱放出を使ったフィラメントではなく、Zr/W と呼ばれる材料に強い電界をかけることで温度を下げてもある程度の電流が取り出せるショットキー効果（熱電界放射とも呼ばれる）を用いた電子銃とする。

電子線は軽いので、レジスト/試料中で散乱する。レジスト内で散乱するものは前方散乱と呼ばれ、ビームが太ることと等価であり、これを避けるためには加速電圧を上げるかレジストを薄くする。ただし、加速電圧が高いと散乱が減ることで二次電子生成も減るので必要露光量が増える。また、試料で散乱するものは後方散乱と呼ばれ、パターンが密接したところでは、この試料の奥まで入って帰ってくる電子による露光により必要露光量が変動する。これを近接効果と呼んでいる。この近接効果の補正プログラムがマスク用露光機では通常用いられている。

また、電子線のスループットを上げるために、本来最小限の丸いガウシアン形状に絞るのではなく、ビームを長方形に変えて描いている。長方形の形をその時々に合わせて変えることから可変整形ビームと呼ばれている。このときは絶対電流量が大きく取れる LaB₆ を電子銃に用いるのが普通である。RET の進歩により、マスク作製時のパターン発生時の複雑さは増し、可変整形ビーム型の装置の需要は非常に高くなっている。

更に、決まりきった形なら一括で描くセルプロジェクション/キャラクタープロジェクションという方法も開発され、製品化されている。これを用いた場合、RET のために縮小投影露光法のためのマスクが非常に高くなっていることから、少量生産品の場合はコストが安くなるという試算もある。

■参考文献

- 1) Marc J. Madou, "Fundamentals of Microfabrication: The Science of Miniaturization," CRC press, 2002.
- 2) P. Rai-Choudhury, eds., "Handbook of Microlithography, Micromachining, and Microfabrication: Microlithography," SPIE, 1997.
- 3) Wayne M. Moreau, "Semiconductor Lithography: Principles, Practices, and Materials (Third edition)," Plenum, 1991.
- 4) Chris Mack, "Fundamental Principles of Optical Lithography: The Science of Microfabrication," Wiley, 2008.
- 5) Badih El-Kareh, "Fundamentals of Semiconductor Processing Technologies," Kluwer academic publishers, 1995.
- 6) 伊藤 洋, "レジスト材料 (高分子先端材料 One Point) ," 共立出版, 2005.

- 7) Saburo Nonogaki, Takumi Ueno, Toshio Ito, "Microlithography Fundamentals in Semiconductor Devices and Fabrication Technology," Dekker, 1998.
- 8) "The International Technology Roadmap for Semiconductors," 2007 Edition.
- 9) 秋永広幸(編), "電子線リソグラフィ教本," オーム社, 2007.

■10 群 - 2 編 - 3 章

3-4 ドライエッチング技術

(執筆者：浅野種正) [2010年1月 受領]

ドライエッチングは反応容器内に供給したガスをプラズマ放電で活性化し、ウェーハ表面のエッチング加工を行うものである。最も代表的な方式である反応性イオンエッチング (RIE) は、反応容器内に一對の平行平板型の電極を設け、ウェーハが搭載される電極側に高周波 (13.56 MHz が多用される) 電力を加えることでプラズマを生成する。高周波が作る交番電界に対し、プラズマ中の電子は追従できるがイオンは追従できないことを利用すると、ウェーハ側の電極を負に帯電させることができる¹⁾。自己バイアスと呼ばれるこの帯電電圧は数百ボルトになるため、これによりプラズマ中のイオンを加速して、ウェーハ表面に方向性をもって突入させることができる。こうして異方性のエッチングを実現できる。

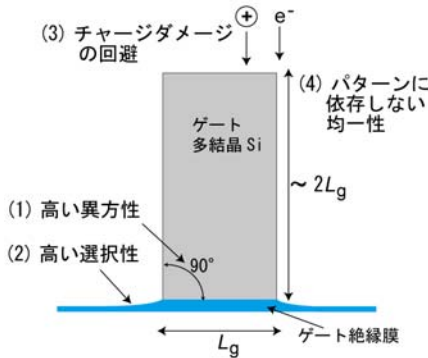


図 3・1 ドライエッチングに要求される性能

ドライエッチングは STI, ゲート電極, ゲート側壁, コンタクト孔, アルミ系配線, 層間絶縁膜の加工などに不可欠である²⁾。ドライエッチング技術への要求を、ゲート部分の加工を例に図 3・1 に示す。ゲート加工の場合特に、側壁が垂直な高い異方性が求められる。例えば、仮に図 3・1 のゲート厚さで側壁の角度が 89° になったとすると、物理的なゲート長 L_g が 7% も増加することになる。素子の微細化に伴うこのような高い異方性加工技術への要求、またそれと同時に進行するウェーハの大口径化と枚葉化に伴う生産性の低下を避けるため、高密度プラズマ方式が開発されてきた^{3), 4)}。

表 3・1 LSI 製造用ドライエッチング方式

分類	方式
容量結合型 (CCP: Capacitively Coupled Plasma)	反応性イオンエッチング (RIE) マグネトロン RIE 狭ギャップ CCP (RF 周波数 27~100 MHz)
誘導結合型 (ICP: Inductively Coupled Plasma)	平面状スパイラルアンテナ式 円筒状ヘリカルコイル式
電磁波入射型	電子サイクロトロン共鳴式 (ECR: Electron Cycrotron Resonance) 誘電体導波路式 スロットアンテナ式 ⁵⁾

表 3・1 に主な高密度プラズマ生成方式を示す。高密度プラズマは、RIE に磁場を加えるマグネトロン RIE によっても生成できるが、大口径にわたって均一なプラズマを生成するために、誘導結合方式、導波路やアンテナを用いてマイクロ波 (2.45 GHz が多用される) を入射する方式などが開発されてきた。

プラズマ中の電子密度は、RIE の場合で $10^9 \sim 10^{10} \text{ cm}^{-3}$ であるのに対し、高密度プラズマ方式では $10^{11} \sim 10^{12} \text{ cm}^{-3}$ になる。ちなみにガス種によって変わるが、ガス圧を 10 mTorr とするとガス分子の密度は 10^{14} cm^{-3} 台なので、ほとんどの分子は中性であるといえる。なお、ラジカルの密度は電子密度よりも約一桁大きいといわれている。

異方性と選択性を満足させるためには、ガスも重要である。**表 3・2** に代表的なガスを示す⁶⁾。ゲート多結晶 Si のエッチングには、F 系が用いられてきた、寸法制御性だけでなく、極薄となるゲート酸化膜とのエッチング選択比を確保する点から Cl や Br 化合物が使われるようになってきた。異方性加工を実現するには、溝や孔の側壁に保護膜を堆積しながらエッチング加工する方法も有効である。そのためのガスを添加する場合がある。Si 酸化膜のエッチングのように側壁保護膜で異方性をだす機構のエッチングの場合、孔径 (アスペクト比) によってエッチング速度が大きく変わるマイクロローディング効果などが発生するので注意を要する。

表 3・2 エッチングガスの概要

材 料	ガ ス	備 考
多結晶 Si	CF ₄ , CF ₄ +O ₂ , SF ₆ , NF ₃ など Cl ₂ , HBr, HBr+Cl ₂ など	F の化学反応性が高いため、等方性が発現しやすい 異方性、SiO ₂ との選択性を大きくできる
Al 配線	エッチングガス = Cl ₂ 側壁保護用添加 = BCl ₃ , CCl ₄ など	フッ化物 (AlF ₃) は不揮発性
SiO ₂ 絶縁膜	CF ₄ , CHF ₃ , C ₂ F ₆ , C ₄ F ₈ など	化学的エッチングよりはむしろイオンエネルギーによる物理的エッチング

ところで、フルオロカーボン系のガスは特に地球温暖化係数が高い。例えば、CF₄ 及び CHF₃ はそれぞれ、CO₂ の 6500 倍、11700 倍の地球温暖化係数をもつ⁷⁾。したがって、環境保護のためには、排出ガスの分解、ガスの回収・リサイクル、代替ガスの開発が重要である。代替ガスの例として C₄F₆ や CF₃I などがある⁸⁾。

ドライエッチングは、デバイスに物理的、電氣的に損傷を与える可能性がある。物理的な損傷の原因は、入射するイオンや電子の衝撃によるものとプラズマが発生する紫外線によるものがある。紫外線による LER (Line Edge Roughness) の増大も指摘されている。電氣的な損傷はチャージダメージと呼ばれ、ゲート酸化膜を破壊あるいはその信頼性を低下させる。プラズマの不均一や電子シェーディング効果などによって発生することがわかっている。酸素プラズマを用いたアッシング (灰化) によるフォトレジストの除去では、ゲート電極あるいはそれに接続される配線が直接さらされることになるため、プラズマ生成を反応室とは分離してラジカルだけを反応室に導入するケミカルドライエッチング方式が用いられる。

TSV (Through Silicon Via) などのアスペクト比が大きな孔を形成する方法としてボッシュプロセスが多く使われている。これは、エッチングガスと側壁保護膜堆積用のガスを交互に供給して、ウェーハを貫通させるほどのアスペクトの大きな孔を形成するものである。

■参考文献

- 1) プラズマについての解説書として例えば B. N. Chapman 著, 岡本幸雄訳, “プラズマプロセスの基礎,” 電気書院, 1985.
- 2) 徳山 巍(編著), “半導体ドライエッチング技術,” 産業図書, 1992.
- 3) 徳山 巍(編著), “超微細加工技術,” オーム社, 1997.
- 4) M. A. Lieberman and A. J. Lichtenberg, “Principles of Plasma Discharge and Materials Processing,” John Wiley and Sons, Inc., 2005.
- 5) T. Goto, M. Hirayama, H. Yamauchi, M. Moriguchi, S. Sugawa1, and T. Ohmi, “A New Microwave-Excited Plasma Etching Equipment for Separating Plasma Excited Region from Etching Process Region,” Jpn. J. Appl. Phys, vol.42, pp.1887-1891, 2003.
- 6) 出水清史(監修), “半導体プロセス教本,” SEMI ジャパン, 2006.
- 7) 地球温暖化対策の推進に関する法律施行令 (平成 11 年 4 月 7 日政令第 143 号)
- 8) “電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発,” 事後評価報告書概要, 独立行政法人新エネルギー・産業技術総合開発機構研究評価部, 平成 16 年 3 月

■10 群 - 2 編 - 3 章

3-6 DRAM キャパシタ形成技術

(執筆著者：三瀬信行) [2009年12月受領]

DRAM (Dynamic Random Access Memory) はコンピュータの主記憶などに広く用いられている揮発性のメモリで、そのメモリセルは1個のキャパシタと1個のスイッチ用のトランジスタから構成されており、キャパシタに電荷を蓄積することによって情報を記憶している。このため、素子の微細化が進んでも1セル当たり約25 fFの静電容量が必要とされる。最近の汎用DRAMではスタック型と呼ばれる立体的な構造により同じ占有面積でもキャパシタ面積を大きくする方法が採用されており¹⁾、最先端の1GB-DRAMのキャパシタは、おおよそ深さ1 μm、直径50 nmの穴に下部金属電極、絶縁膜、上部金属電極を埋め込むことによって形成されている²⁾。スタック型キャパシタの形成では、アスペクト比の大きな穴を高精度に加工する技術とともに、深穴に電極、絶縁膜を均一に成膜する技術が重要で、量産に適用可能な成膜方法は化学気相成長法 (Chemical Vapor Deposition 法: CVD 法) と原子層堆積法 (Atomic Layer Deposition 法: ALD 法) に実質的に限定されている。特にキャパシタ絶縁膜では、物理膜厚と組成がキャパシタの特性に直接影響するので、自己停止機構をもち膜厚や組成の制御性に優れたALD法が広く用いられている。

微細化が進行するほどメモリセル面積が小さくなるので、立体構造によるキャパシタ面積の増大だけでは必要な静電容量を確保することは難しく、また、キャパシタ絶縁膜を薄膜化するともリーク電流が増加し、データ保持時間が短くなってしまう。したがって、微細化の進行はなにかば必然的に絶縁膜の高誘電率化を伴うことになる。すなわち、DRAMキャパシタでは、世代ごとに適切な絶縁膜と電極材料を選択すること、それを量産で実現するためのプロセスを開発することが不可欠である。

3-6-1 絶縁膜材料

DRAM用キャパシタの高誘電率絶縁膜としてこれまでに実用化されてきたのは、比誘電率が20程度の酸化 tantalum (Ta_2O_5)、酸化ジルコニウム (ZrO_2)、酸化ハフニウム (HfO_2)、あるいは (ZrO_2) と酸化アルミニウム (Al_2O_3) を積層した材料などである³⁾。現在ではこれらの材料を用いつつ、その結晶相を制御することによって、より高い誘電率を得る試みが提案されている。例えば、酸化ハフニウムでは正方晶や立方晶の誘電率が単斜晶の誘電率よりも高いことが第一原理計算⁴⁾により示されており、Alなどの元素を微量に添加することにより700度以下の低温でも正方晶へ変化すること、それにより47という高い比誘電率が得られることが実験結果として示されている⁵⁾。

しかし、酸化ハフニウムや酸化ジルコニウムを主成分とする材料の延長ではこれ以上の大幅な誘電率の向上は望めないため、次世代の絶縁膜材料としてペロブスカイト構造を有するチタン酸ストロンチウム (SrTiO_3 , 略称 STO) やチタン酸バリウムストロンチウム ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$, 略称 BST) などの開発が進められている。これらの材料の比誘電率はバルクでは100を大幅に超えることが報告されている。しかし、薄膜化するほど比誘電率が下がる問題があり、10 nm程度の物理膜厚で高い比誘電率を維持することが大きな課題である。また、一般にSrやBaの前駆体の多くは蒸気圧が低い有機液体であり、量産のALDプロセスで扱いやすい蒸気圧

の高い前駆体の開発が望まれている⁹⁾。更に、TiO₂のALDプロセスと整合するSrOあるいはBaOのALDプロセスの開発も必要である。

3-6-2 電極材料

DRAM キャパシタでは、絶縁膜材料とともに電極材料を適切に選択することが重要である。0.1 μm 以降の世代のDRAM キャパシタの電極は、それまでの多結晶シリコンに代わり金属の窒化チタン (TiN) が用いられてきた。多結晶シリコンでは、高誘電率絶縁膜との界面に形成される空乏層と低誘電率層により実効的な静電容量が低下してしまうためである。今後、STOなどを採用する場合には、電極材料も代えることが必要となる。一般に誘電率が高い絶縁膜材料はバンドオフセットが小さいので⁷⁾、リーク電流を抑制するには高い仕事関数の電極が必要なためである。候補としては、窒化チタンの仕事関数(約4.6 eV)よりも高い5 eV以上の仕事関数をもつ、ルテニウム Ru、イリジウム Ir、白金 Pt などの貴金属が検討されている。ただし、絶縁膜の誘電率と同様に金属電極に対しても、バルクの高い仕事関数が薄膜で維持されるかどうかに関しては未知なところが多い。

また、電極金属に対しても、量産のALD (CVD) プロセス対応の前駆体及びプロセスの開発が不可欠である。技術的な観点とは異なるが、DRAMは激しい価格競争に常にさらされているので、材料費の高い貴金属を使うことなく高い仕事関数が薄膜で得られる電極の開発が強く望まれていることも付記しておく。

3-6-3 最近の展開

新材料を導入するのではなく、従来の材料やプロセスの問題を解消することによって実効的な静電容量を増大させる試みも報告されている。等価酸化膜厚 (Equivalent Oxide Thickness : EOT) は

$$EOT = k_{ox}/k \times t_{phys} + EOT_{IL}$$

のように、絶縁膜の比誘電率 k や物理膜厚 t_{phys} で決まるバルク成分 ($k_{ox}/k \times t_{phys}$) と界面での寄生的な成分 (EOT_{IL}) の和と考えられる。1 nm 以下の等価酸化膜厚を目指す場合、この界面寄生成分の低減が非常に重要となる。実際に HfAlO と TiN 下部電極との界面に極薄の Al₂O₃ を挿入することによって界面成分を低減できることが報告されており⁸⁾、これと前述の結晶制御による誘電率の向上を合わせて、TiN/HfAlO/TiNにより等価酸化膜厚を0.7 nmまで縮小しつつ80 nA/cm²のリーク電流密度(1 V印加時)が達成されている⁹⁾。一方、等価酸化膜厚で0.5 nm以降はリーク電流を抑制できなくなるために、キャパシタに電荷を蓄積する従来型のDRAMの実現は非常に困難といわれており、最近では根本的に原理の異なる方式のDRAMの研究開発も進められている。

■参考文献

- 1) M. Koyanagi et al., "Novel high density, stacked capacitor MOS RAM," IEEE Int. Electron Devices Meeting Tech. Dig., 348, 1978.
- 2) http://www.itrs.net/Links/2007ITRS/2007_Chapters/2007_FEP.pdf
- 3) H. Lee et al., "Fully Integrated and Functioned 44nm DRAM Technology for 1GB DRAM," Tech. Dig. VLSI Symp., 86, 2008.
- 4) X. Zhao et al., "First-principles study of structural, vibrational, and lattice dielectric properties of hafnium

- oxide," Phys. Rev. B, vol.65, 233106, 2002.
- 5) K. Park et al., "Enhancement of dielectric constant in HfO₂ thin films by the addition of Al₂O₃," Appl. Phys. Lett. Vol.89, 192905, 2006.
 - 6) Katamreddy et al., "Tuning of material and electrical properties of strontium titanates using process chemistry and composition," ECS Transactions, vol.16 (5), 487-496, 2008.
 - 7) W. Peacock et al., "Band offsets and Schottky barrier heights of high dielectric constant oxides," J. Appl. Phys., vol.92, 4712-4721, 2002.
 - 8) 小川有人, 板谷秀治, 堀井貞義, 三瀬信行, "HfO₂膜への AlO_x挿入による EOT の低減," 第 70 回応物秋季予稿集, 730, 2009.
 - 9) N. Mise et al., "Scalability of TiN/HfAlO/TiN MIM DRAM Capacitor to 0.7-nm-EOT and Beyond," IEEE Int. Electron Devices Meeting Tech. Dig., 267, 2009.

■10 群 - 2 編 - 3 章

3-7 インダクタンス形成技術

(執筆著：吉川公麿) [2009 年 12 月 受領]

近年、シリコン集積回路では、携帯電話やモバイル端末の急速な進歩を支えるアナログ・無線 (Radio Frequency Mixed Signal) 信号処理 LSI (Large Scale Integrated Circuits) の重要度が増している。その LSI における受動素子としてインダクタンス素子の集積化形成技術が極めて重要である。

オンチップスパイラルインダクタは CMOS (Complementary Metal Oxide Semiconductor) テクノロジーの多層配線工程で形成する。図 3-7・1 に典型的なオンチップインダクタの 3 次元構造断面図とその等価回路を示す¹⁾。CMOS は標準的な Si 基板 ($10 \Omega \text{ cm}$) を用いるため、マイクロ波無線周波数帯域では損失 (R_{Si}) を生じる。オンチップインダクタは Si 基板上のシリコンフィールド酸化膜上に形成するので、基板容量 (C_{Si})、酸化膜容量 (C_{Ox})、インダクタ配線間容量 (C_{S}) の寄生容量が生じる。

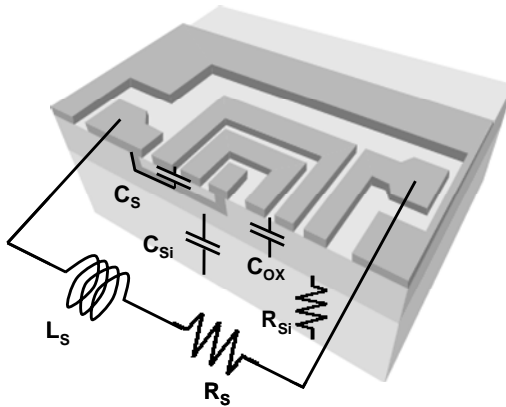


図 3-7・1 オンチップスパイラルインダクタの 3 次元構造断面図とその等価回路¹⁾

(Copyright © 2000 IEEE)

これまでインダクタはアナログ・RF-Mixed Signal CMOS 専用プロセスを使って設計されてきたが、動作周波数が 10 GHz 以上からミリ波帯までの信号処理に対応するには、微細化が進んだ汎用ロジック CMOS プロセスでインダクタを設計しなければならない²⁾。

図 3-7・2 に一例としてロジック CMOS 多層配線断面の模式図を示す。LSI 信号処理速度の高速化の要求から、配線材料には抵抗率の低い銅 (Cu) 配線が用いられ、層間絶縁膜には低誘電率 (Low-k) 膜が用いられる。最上層 (Metal 9) に Al 配線層があり、上から 3 層目 (Metal 8, 7) まではグローバル高速配線用に厚膜の Cu 配線、それ以下の層 (Metal 6, 5) はセミグローバル用の中間的な膜厚、更には下層の配線 (Metal 1-4) は配線高密度化を狙って最薄膜の Cu 配線層からなっている。

インダクタを形成するには、CMOS の最上層 (例えば Metal 9) や上から 3 層目 (Metal 9-7) までの厚膜 Cu 配線を用いることによって寄生抵抗 (R_{S}) をできるだけ小さくすることがで

きる。また、スパイラルの巻き数を増やすことによって、インダクタンス (L_S) を大きくすることができる³⁾。

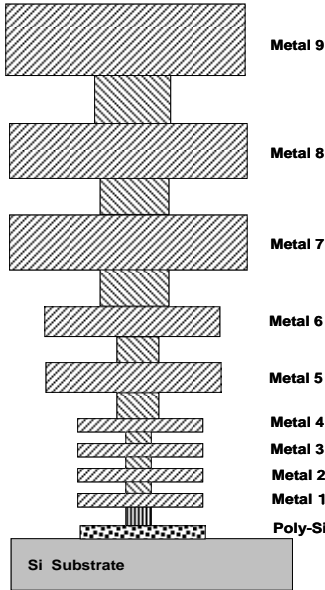


図 3-7-2 多層配線の断面模式図

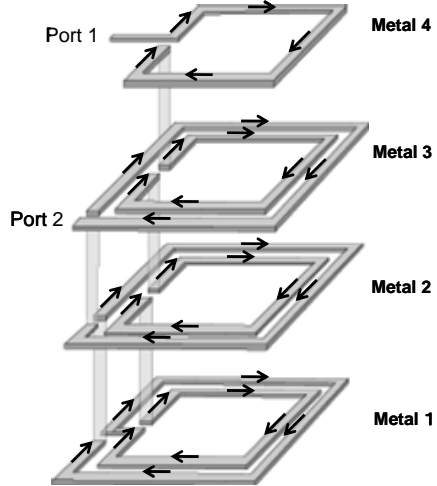


図 3-7-3 積層型スパイラルインダクタ構造の模式図⁵⁾

(Copyright © 2002 IEEE)

図 3-7-3 に多層配線構造を利用した積層型スパイラルインダクタの立体構造を示す^{4),5)}。このように電流の方向をそろえ、巻き方を工夫することによって、単位面積当たりの磁束密度を上げることができる。

シリコンオンチップインダクタの課題はシリコン基板が低抵抗率であることの影響により性能指数 Q (Quality Factor) が低いことである。シリコン基板による損失を改善するために、高抵抗率基板を用いたり⁶⁾、シリコン基板の影響を除くためにシールド技術が提案されている⁷⁾。特に、ポリシリコン工程を用いてイメージ電流を抑制するスリットを入れたパターンドグラウンドシールド (Patterned Ground Shield)⁷⁾ 技術は CMOS プロセスを変更することなく効果が得られる。

更に、インダクタレイアウト設計上の問題として、ロジック CMOS 製造技術には Cu ダマシ埋込み配線形成のための化学機械研磨 (Chemical Mechanical Polishing) 対応設計基準がある。フローティングダミーフィル (Floating Dummy Fill) と呼ばれ、インダクタパターンの中にメタルドットパターンを敷き詰めなければならないため、これを考慮したインダクタ設計が必要になる⁸⁾。

■参考文献

- 1) C. P. Yue and S. S. Wong, "Physical modeling of spiral inductors on silicon," IEEE Transactions on Electron Devices, vol.47, Issue 3, pp.560-568, Mar. 2000.
- 2) B. Razavi, "Prospects of CMOS Technology for High-Speed Optical Communication Circuits," IEEE Journal of Solid-State Circuits, vol.37, no.9, pp.1135-1145, Sep. 2002.
- 3) K. Hijioka, A. Tanabe, Y. Amamiya, and Y. Hayashi, "Extrasmall-Area Three-Dimensional Solenoid-Shaped Inductor Integrated into High-Speed Signal Processing Complementary Metal-Oxide-Semiconductor Ultralarge-Scale Integrated Circuits," Japanese Journal of Applied Physics vol.47, no.4, pp.2477-2483, 2008.
- 4) A. Zolfaghari, A. Chan, and B. Razavi, "Stacked inductors and transformers in CMOS technology," IEEE Journal of Solid-State Circuits, vol.36, Issue 4, pp.620-628, Apr. 2001.
- 5) C. C. Tang, C. H. Wu, and S. I. Liu, "Miniature 3-D inductors in standard CMOS process," IEEE Journal of Solid-State Circuits, vol.37, Issue 4, pp.471-480, Apr. 2002.
- 6) K. B. Ashby, I. A. Koullias, W. C. Finley, J. J. Bastek, and S. Moinian, "High Q inductors for wireless applications in a complementary silicon bipolar process," IEEE J. Solid-State Circuits, vol.31, pp.4-9, Jan. 1996.
- 7) C. P. Yue and S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," IEEE Journal of Solid-State Circuits, vol.33, Issue 5, pp.743-752, May 1998.
- 8) A. Tsuchiya and H. Onodera, "Patterned Floating Dummy Fill for On-Chip Spiral Inductor Considering the Effect of Dummy Fill," IEEE Transactions on Microwave Theory and Techniques, vol.56, no.12, pp.3217-3222, Dec. 2008.