

■9 群 (電子材料・デバイス) - 9 編 (インターコネクション・実装技術)

2 章 ボードレベルインターコネクション技術

(執筆者: ○○○) [2011 年 月 受領]

■概要■

【本章の構成】

■9 群 - 9 編 - 2 章

2-1 プリント配線板の材料と形態

2-1-1 代表的配線板材料と特性

(執筆者：藤原弘明) [2008 年 10 月 受領]

(1) プリント配線板に用いられる基板材料の分類

プリント配線板に用いられる基板材料を材料別に分類すると図 2-1 になる。中でも量産性に優れることから補強材入りの銅張積層板とフレキシブル銅張積層板が工業的に多く使用されている。そこで、ガラスクロスなどで補強した銅張積層板と携帯機器などに用いられているフレキシブル銅張積層板について詳しく述べる¹⁾。

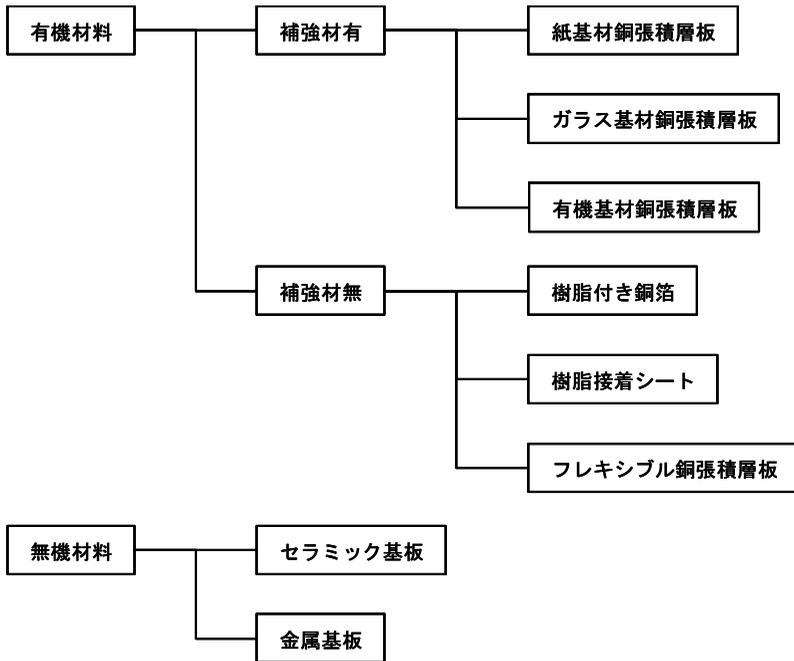


図 2-1 プリント配線板に用いられる基板材料の分類

(2) 銅張積層板

(a) 銅張積層板の規格グレード

プリント配線板に用いられる銅張積層板は、使用される補強材や樹脂、特性によってグレード分類されている。JIS (Japanese Industrial Standards: 日本工業規格), ANSI/UL (American National Standards Institute/Underwriters Laboratories: アメリカ規格協会/UL 規格), ASTM (American Society for Testing and Materials: アメリカ材料試験協会規格), IPC (The Institute for

Interconnecting and Packaging Electronic Circuits : IPC 規格) の公的規格の対照表を表 2・1 に示す²⁾。

表 2・1 銅張積層板に用いられる材料とグレード分類

使用材料	難燃	規格			
		JIS	ANSI/UL	ASTM	IPC
紙基材フェノール樹脂	非難燃性	PP7	XPC	-	4101/00
	難燃性	PP7F	FR-1	-	4101/02
紙基材エポキシ樹脂	難燃性	PE1F	FR-3	FR-3	4101/04
ガラス布基材エポキシ樹脂	非難燃性	GE4	G10	G10	4101/20
	難燃性	GE4F	FR-4	FR-4	4101/21
	難燃性	GE2F	FR-5	FR-5	4101/23
ガラス布基材ポリイミド樹脂	-	GI1F	GPY	-	4101/40
紙ガラス布基材エポキシ樹脂	難燃性	CPE1F	CEM-1	CEM-1	4101/10
ガラス布ガラス不織布基材エポキシ樹脂	難燃性	CGE3F	CEM-3	CEM-3	4101/12
ガラス布基材フッ素樹脂	難燃性	-	-	-	4103/01

(b) 銅張積層板に用いられる原材料

銅張積層板は、主に樹脂、基材、銅箔の三つの原材料から構成されている。部品実装時のはんだ処理に耐える必要があり、樹脂には耐熱性の高い熱硬化性樹脂を用いることが多い。また、補強効果を付与するためにガラス布などの基材で複合化することが一般的である。

【樹脂】

1. フェノール樹脂

フェノール樹脂はプラスチックの中でも最も古い歴史をもち、ベークライトの商品名で知られている。フェノール樹脂はフェノールとホルムアルデヒドを混合加熱することで得られ、酸を触媒に加えるとノボラック型になり、アルカリ触媒を加えるとレゾール型になる。銅張積層板に主に用いられているレゾール型フェノール樹脂の構造を図 2・2 に示す³⁾。

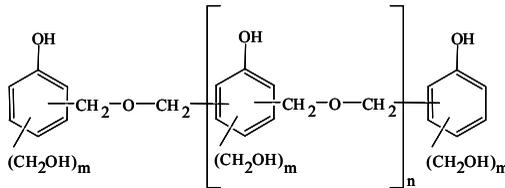
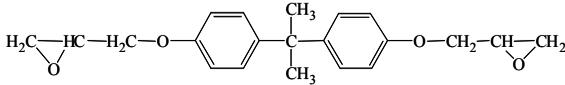


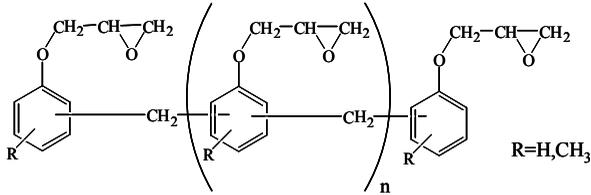
図 2・2 レゾール型フェノール樹脂の構造

2. エポキシ樹脂

エポキシ樹脂はオキシラン環を含む化学物質の総称で、主骨格や分子量の違いにより多くの種類を有している。代表的なビスフェノール A 型エポキシ樹脂とノボラック型エポキシ樹脂を図 2・3 に示す。銅張積層板には先に示したエポキシ樹脂以外に、難燃性付与のための臭素化エポキシ樹脂や耐熱性を向上させるために多官能型エポキシ樹脂などが用いられている。



(a) ビスフェノール A 型エポキシ樹脂

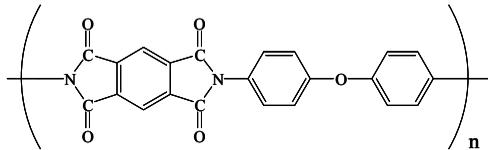


(b) フェノールノボラック型エポキシ樹脂

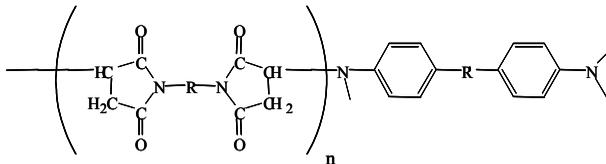
図 2-3 ビスフェノール A 型エポキシ樹脂とフェノールノボラック型エポキシ樹脂の構造

3. ポリイミド樹脂

ポリイミド樹脂には、フレキシブル銅張積層板に多く用いられている縮合型ポリイミド樹脂とガラス布ポリイミド銅張積層板に用いられている付加型ポリイミドに大別される。それらの基本的な構造を図 2-4 に示す。縮合型は分子がリニアに成長した熱可塑性樹脂であり、付加型はビスマレイミドと芳香族ジアミンを反応させることで 3 次元架橋させた熱硬化性樹脂である。



(a) 縮合型ポリイミド樹脂



(b) 付加型ポリイミド樹脂

図 2-4 縮合型ポリイミド樹脂と付加型ポリイミド樹脂の構造

【基材】

銅張積層板は機械的強度を向上させるために基材で複合化されている。基材としては紙、ガラス布、ガラス不織布が一般的であるが、近年、更なる高性能化、高機能化の目的でアラミドなどの有機繊維で補強した銅張積層板が登場している⁴⁾。中でも、現在の主流であるガラス布について述べる。ガラス布は、フィラメントと呼ばれるガラスファイバを束ねてヤーンを作り、平織りなどの織物にしたもので、ガラスクロスとも呼ばれる。表 2・2 に示すようにガラスクロスは IPC で規格化されている。表 2・2 において、打ち込み本数は 1 インチあたりのヤーンの本数を示し、単位重量あたりの長さが大きいほどヤーンは細くなる。

表 2・2 ガラスクロスの主要スタイル一覧

IPC 規格スタイル	ヤーンの種類 縦×横	打ち込み本数 (本/inch) 縦×横	ガラス布	
			厚さ (μm)	重量 (g/m ²)
101	D1800×D1800	75×75	20	17
104	D900×D1800	60×52	28	19
106	D900×D900	56×56	33	24
1080	D450×D450	60×47	53	47
3313	DE300×DE300	60×62	84	81
2116	E225×E225	60×58	94	104
1504	DE150×DE150	60×50	135	148
7628	G75×G75	44×31	173	203

ヤーン記号	単位重量あたりの長さ (yard/lb*100)	フィラメント径 (μm)
D	1800	5
	900	
	450	
DE	300	6
	150	
E	225	7
G	75	9

【銅箔】

銅箔は製法により電解銅箔と圧延銅箔の二つのタイプに大別される。電解銅箔は幅広い用途で用いられており、一方の圧延銅箔は屈曲性に優れていることからフレキシブル銅張積層板に多く用いられている。近年の高密度配線化に伴い、ファイン回路を形成するための極薄箔やロープロファイル箔が開発されている^{5),6)}。

(c) 銅張積層板のグレードと特性

各種銅張積層板の代表的な特性を表 2・3 に示す。表 2・3 はあくまでも代表値であることをご了承頂きたい。表 2・3 において、Tg は TMA (Thermal Mechanical analysis) で測定したガラス転移温度、Td は 5% の重量減少時の熱分解温度、 $\alpha 1$ は Tg 以下の Z 方向の熱膨張係数、 $\alpha 2$ は Tg 以上の Z 方向の熱膨張係数を示している。また、難燃性は UL (Underwriters Laboratories Inc.) 規格の試験方法 UL94 の判定基準に基づいた結果である。近年、電子機器の多種多様な高機能化に対応するために様々な銅張積層板が開発されてきている。一例として、環境に優しいハロゲンフリータイプの銅張積層板、高周波特性に優れた銅張積層板、超微細配線化に対応した銅張積層板、更には電子化が進む自動車や半導体パッケージ向けの高信頼性な銅張積層板があげられる^{2),7),8)}。

(3) フレキシブル銅張積層板

フレキシブルプリント配線板には、フレキシブル銅張積層板やカバーレイ、ボンディングシートがあるが、本稿では主要材料であるフレキシブル銅張積層板について述べる。

(a) フレキシブル銅張積層板に用いられる樹脂

上記で述べたようにフレキシブル銅張積層板には縮合型ポリイミド樹脂が多く用いられている。ポリイミド樹脂は歴史のある樹脂で、工業的には 1965 年にデュポン社が初めてポリイミドフィルムを上市した。近年では、吸水性や誘電特性に優れた液晶ポリマーなどの研究も盛んに行われている⁹⁾。

表 2・3 各種銅張積層板の代表的な特性

銅張積層板	グレード	絶縁抵抗 (M Ω)	Tg TMA ($^{\circ}$ C)	熱膨張係数 ($\times 10^{-6}/^{\circ}$ C)			Td ($^{\circ}$ C)	誘電率 at 1GHz	誘電正接 at 1GHz	曲げ弾性率 縦方向 (kN/cm 2)	難燃性	
				$\alpha 1$	$\alpha 2$	XZ 方向						
紙基材フェノール樹脂	FR-1	1 $\times 10^6$	-	-	-	15~22	260	4.6 [*] iMHz	0.035 [*] iMHz	950	94V-0	
紙基材エポキシ樹脂	FR-3	5 $\times 10^6$	-	-	-	10~17	280	4.1 [*] iMHz	0.025 [*] iMHz	1050	94V-0	
ガラス基材エポキシ樹脂	一般	FR-4	1 $\times 10^6$	140	65	270	10~16	300	4.4	0.018	2300	94V-0
	ハロゲンフリー	FR-4	1 $\times 10^6$	145	40	180	10~16	340	4.8	0.010	2400	94V-0
	低誘電	FR-4	1 $\times 10^6$	165	60	270	10~16	330	3.7	0.010	2300	94V-0
	高Tg	FR-4	1 $\times 10^6$	170	50	255	10~16	360	4.4	0.016	2300	94V-0
	低熱膨張	FR-4	1 $\times 10^6$	170	30	180	9~14	360	4.5	0.012	2500	94V-0
	高剛性	FR-4	2 $\times 10^6$	180	30	140	10~13	360	4.8	0.011	2800	94V-0
	FR-S相当	FR-4	1 $\times 10^6$	170	60	260	10~16	360	4.4	0.018	2300	94V-0
ガラス基材ポリイミド樹脂	GPY	5 $\times 10^6$	220	65	250	10~16	390	4.3	0.007	2700	94V-1	
ガラス布ガラス不織布基材エポキシ樹脂	一般	CEM-3	5 $\times 10^6$	140	65	270	20~28	320	4.5 [*] iMHz	0.015 [*] iMHz	1650	94V-0
	ハロゲンフリー	CEM-3	5 $\times 10^6$	115	70	280	20~28	320	4.6 [*] iMHz	0.016 [*] iMHz	1600	94V-0
	低熱膨張	CEM-3	9 $\times 10^6$	160	50	135	15~21	320	4.2 [*] iMHz	0.013 [*] iMHz	1650	94V-0
ガラス布基材フッ素樹脂	-	1 $\times 10^6$	-	-	-	8~14	530	2.6	0.001	850	94V-0	
ガラス布ポリフェニレンエーテル樹脂	低誘電	-	1 $\times 10^6$	185	45	260	10~16	400	3.7	0.002	2000	94V-0
	高誘電	-	-	150	65	230	10~16	430	10.5	0.003	1650	-

(b) フレキシブル銅張積層板の特性

表 2・4 に代表的なフレキシブル銅張積層板の特性を示す¹⁰⁾。処理条件において、A は常態、E168/70 は 70 °C の空气中で 168 時間、C-96/40/90 は 40 °C、90% の条件下で 96 時間前処理することを表している。

表 2・4 代表的なフレキシブル銅張積層板の特性

試験項目	処理条件	単位	ポリイミド系 フレキシブル銅張積層板
絶縁抵抗	A	MΩ	4.0×10 ⁷
誘電率	A 1MHz	-	3.2
誘電正接	A 1MHz	-	0.005
弾性率	A	N/cm ²	710
銅箔引き剥がし強さ	A	N/mm	1.7
	260°Cはんだ5秒	N/mm	1.7
難燃性	AおよびE-168/70	-	94V-0
耐薬品性	HCl 2mol/l 23°C5分	-	異常なし
	NaOH 2mol/l 23°C5分	-	異常なし
	IPA 23°C5分	-	異常なし
はんだ耐熱性	260°Cはんだ5秒70-ト	-	異常なし
	288°Cはんだ1分70-ト	-	異常なし
吸湿はんだ耐熱性	C-96/40/90+260°Cはんだ1分70-ト	-	異常なし

■参考文献

- 1) 合成樹脂工業協会, “プリント配線板技術ブック,” pp.5-6, 2007.
- 2) パナソニック電工, “プリント配線板用材料カタログ,” pp.176-177, 2006.
- 3) 化学工業日報社, “14102 の化学商品,” p.1031, 2002.
- 4) 越後文雄, “基板と構成材料の変遷と展望,” 機能材料, vol.25, no.2, pp.24-32, 2005.
- 5) 電子材料, “最先端電子機器を支えるプリント配線板技術,” no10, pp.25-38, 2006.
- 6) シーエムシー出版, “エレクトロニクス実装用高機能性基板材料,” pp.33-44, 2005.
- 7) 藤原弘明, “電子部品用エポキシ樹脂の最新技術,” シーエムシー出版, pp.265-272, 2006.
- 8) 藤原弘明, 山口真魚, “最新版エポキシ寿の高機能化,” 技術情報協会, pp.113-127, 2008.
- 9) 福武素直, “高周波対応液晶ポリマー銅張積層板,” JIEP 関西支部主催第3回技術講演会予稿集, pp.71-82, 2006.
- 10) パナソニック電工商品カタログ.

2-1-2 リジッドプリント配線板

(執筆著者：岡田圭祐) [2009年11月 受領]

(1) リジッドプリント配線板の概要

プリント配線板は「回路設計に基づいて、部品間を接続するために導体パターンを絶縁基板の表面または表面とその内部にプリントによって形成する配線またはその技術」と定義され¹⁾、その基本機能は、1. 部品の搭載・支持、2. 部品間の接続・配線、3. 「2」以外の部分の絶縁である。材料の硬軟により、リジッドプリント配線板とフレキシブルプリント配線基板とに大別される。リジッドプリント配線板の材料には、フェノール樹脂、エポキシ樹脂、ポリイミド樹脂、BT 樹脂などの耐熱性・絶縁性に優れた樹脂を、紙基材やガラスクロス布などへ含浸させ、その片面、または両面に銅箔を張り合わせた銅張積層板が使用されている。

リジッドプリント配線板は、一般的に導体層数に応じて、片面プリント配線板（導体層数1）、両面プリント配線板（導体層数2）、多層プリント配線板（導体層数3以上）と称する。

両面プリント配線板、多層プリント配線板は、配線板の厚さ方向（Z 方向）のパターンの接続のために、めっきや導体ペーストを用いる。前者のめっきによる接続はスルーホールで形成される。JIS C5010²⁾では「導体層相互間の接続など必要とする箇所に貫通孔をもうけ、化学めっきまたは化学めっきと電気めっきによって内壁にめっき層を生成させて、導通層相互を接続する方法」をスルーホールめっき法と呼んでおり現代のプリント配線板の主流技術となっている。

配線板の平面上（X-Y 方向）の導体パターンの形成は、銅張基板上の導体箔の不要部分を、例えばエッチングなどによって選択的に除去して形成するサブトラクティブ工法と、基材上に無電解銅めっき、電解銅めっきで直接形成するアディティブ工法とに大別されたプロセスで形成される。

多層化は、個別にパターン形成がされた内層板を複数枚あらかじめ準備し、未硬化状態の樹脂（B ステージ樹脂）材料を介して積層接着して形成する方法が主流である。

プリント配線板の製造プロセスは、上述したプロセスの組み合わせで構成されており、特に、多層プリント配線板では、貫通型のスルーホール構造や、多層板の任意の層間を接続するブラインドビアやベリードビア構造、両面あるいは多層基板の上層に、順次パターン層を積上げるビルドアップ構造などが主流である。

また、そのほかの製造プロセスとしては導体ペーストや金属バンプを用いて一括多層化する方や、キャリア上に形成された配線を絶縁体へ転写する方法など様々な方式がある。

リジッドプリント配線板の表層には、表面実装部品をはんだで接続するためのフットプリントや挿入実装部品のリードを挿入するスルーホールなどが形成される。フットプリントやスルーホールの表面には、耐熱ブリフラックスや金めっき、はんだなどの表面処理が、実装方式に応じて施されている。また、実装時に部品接続に直接関与しない表層の導体パターンを保護するためにソルダーレジストが形成されている。

(2) リジッドプリント配線板の分類

(a) 非スルーホールプリント配線板（片面板、両面板）

片面プリント配線板の導体パターンを形成するために、材料には片面銅張積層板を用いる。材料の樹脂は比較的安価なフェノール樹脂を用いる場合が多い。導体パターンは、片面銅張積層板上に、スクリーン印刷ないしは感光性レジストを用いて導体パターン部位にエッチン

レジストを形成し、次にエッチング液でレジストを形成した以外の部位の銅箔を溶解除去し、最後に、エッチングレジストを剥離して形成する。この後に、筐体への取り付け用の穴あけや、ソルダーレジストやフラックスなどの処理を行い完成される（図 2・5 に片面プリント配線板の断面構造を示す）。スルーホールを有しない片面プリント配線板も、片面プリント配線板と同一のプロセスで形成される。このプリント配線板の状態では、両側の配線パターンは電気的につながってはならず、部品のリード線を穴に挿入し、はんだづけをすることにより電気的に接続するのが一般的である。

非スルーホールタイプのプリント配線板は、搭載部品の密度が限定され、かつ実装密度が低いいため、白物家電やラジオ・ステレオ・FAX など、主にローエンドの電子機器製品群に使用されているが、機器の高機能化に伴い使用量は減少傾向にある。

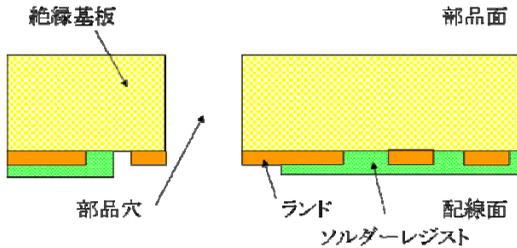


図 2・5 片面プリント配線板の断面構造

(b) めっきスルーホールプリント配線板（両面板，多層板）

スルーホールめっき法を用いて両面（2層）ないしは多層（3層以上）の構造を有するプリント配線板で、現在でも多くの電子機器に採用されている代表的なプリント配線板である。

図 2・6 に両面プリント配線板の、図 2・7 に多層プリント配線板の断面構造を示す。

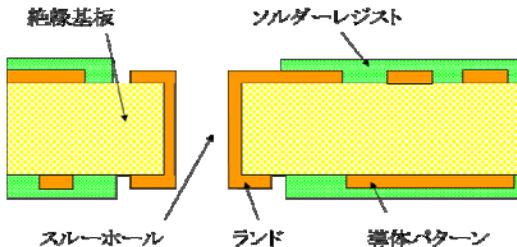


図 2・6 両面プリント配線板の断面構造

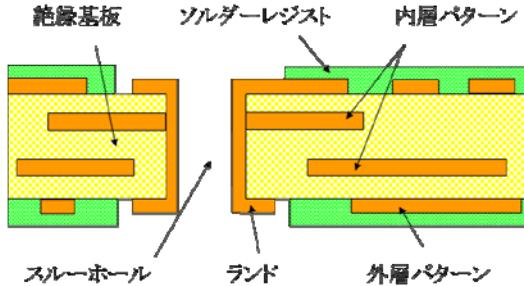


図 2-7 多層プリント配線板の断面構造

めっきによるスルーホールの形成は、両面銅張積層板ないしは多層化形成された銅張積層板の所望の位置にドリリング技術で貫通穴を形成する。次に、貫通穴内に残存する基材の切粉と、(多層板の場合は) 穴内に露出した内層導体上に残存する樹脂を機械的、化学的に洗浄する。次に、貫通穴内へパラジウム触媒を施し、このパラジウムを触媒として化学銅めっきを貫通穴内に形成する。最後に、先の化学銅めっきを下地媒体にして、貫通穴内に所望に厚みの電気銅めっきを施して形成される。なお、任意の層間を接続するブラインドビアやベリロードビアも同じ技術で形成される。

スルーホールの役割は、配線板の層間接続と、挿入部品のリードのはんだづけ固定である。はんだづけ用のスルーホールで特に重要なのが、はんだづけ性であり、標準的なフローソルダー実装プロセスで必要となる耐熱性とはんだ濡れ性を確保していることが重要な品質保証上の基準となる。スルーホールプリント配線板の適用分野は非常に広く、サーバ・ルータや無線基地局などの IT 分野、半導体・計測装置などの産業機器、DVD・TV・ゲームなどの先端家電分野などがある。

スルーホールプリント配線板の課題は、部品の高密度化・多ピン化に対して、スルーホールの密度・配線収容性に限界があること、スルーホールそのものが巨大な浮遊容量を持つことから信号伝播上のノイズ源となること、スルーホールの小径化に対して加工コストが急増する(特にドリリングコスト) ことなどがあり、最先端の電子機器分野では、表面実装技術の進展で、従来のスルーホール実装から表面実装が主流となったことを背景に、ビルドアップ配線板に置き換わりつつある。

(c) ビルドアップ配線板

ビルドアップ配線板とは、めっき、導電ペースト、プリントなどによって导体層、絶縁層を積み上げかつ、导体層相互間の Z 方向の接続を任意の位置に行い、多層化していく多層プリント配線板で、順次ではないが Z 方向の接続を任意に行う一括積層法で形成されたものを含める³⁾。図 2-8 にコア層を有する代表的なビルドアップ配線板の断面構造例を示す。ビルドアップ配線板は、特に CSP ボールピッチが 0.8 mm を境に、小径貫通スルーホール多層配線板では配線収容性とコストの両面で対応が困難となったこと、次に、汎用材料であるガラスエポキシ基材に対して、炭酸ガスレーザとビアめっき技術の採用で各配線板メーカーは生産

ラインをほとんど変更することなく製造可能となったことを境にカメラ一体型 VTR や携帯電話、デジタルスチルカメラなどで一気に普及した。

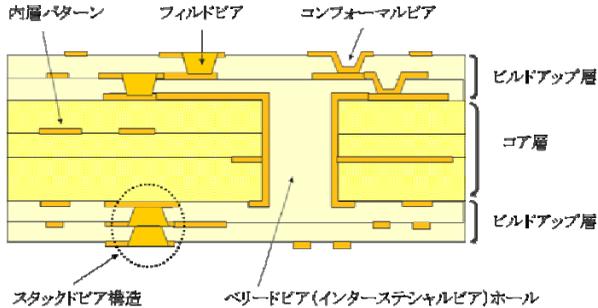


図 2.8 ビルドアップ基板の構造例

(3) リジッドプリント配線板の最新要素技術動向

リジッドプリント配線板の最新要素に技術につき主要なものを列記する。

(a) 薄板化技術

装置の小型化、特に薄型化を実現する上で配線板の薄板化ニーズは根強く存在する。携帯電話などの民生分野の先端セットでは、 $40\sim 60\ \mu\text{m}$ 厚の内層コア層と $20\sim 30\ \mu\text{m}$ 厚のビルドアップ層を組み合わせで、max. $0.3\ \text{mm}/6$ 層クラスのビルドアップ配線板が実用化されている。薄板化のほかの狙いには軽量化があるが、同時に部品・筐体支持体としての剛性強度が低下するため導体厚の制御が重要となる。材料面では、無機フィラーや薄ガラスクロスを組み合わせ、剛性を向上させ必要な筐体強度を確保する。一方、通信・情報システムなどの産業分野で採用されている高多層基板分野では、インピーダンス整合と配線の高密度化に伴い、 $60\sim 80\ \mu\text{m}$ 厚のビルドアップ層間厚みが、既に実用化されている。

(b) フィールドビア技術

ビアホール部に対してフィールドビアめっきの採用が進んでいる。その利点は、スタックドビア構造並びに実装パッド下へのビア配置が可能となり、いっそうの高密度化と短結線化による伝送線路品質の向上が図れる、ビアの窪みが平坦化され、窪みに起因する実装並びに配線板の製造不良が低減できる、などがある。図 2.9 にフィールドビア技術を採用した全層ビルドアップ構造基板事例を示す。課題として、添加剤の分析管理技術、めっき浴の寿命延伸技術がある。フィールドビアめっきの物性は、従来の銅めっきの物性に対してやや硬くもろい傾向があるため、特に延性に対する改良が必要である。また、ビアの接続信頼性でも従来のコンフォーマルビアと異なり下地ランドと十分な密着性を確保するプロセス構築と保証技術も重要である。

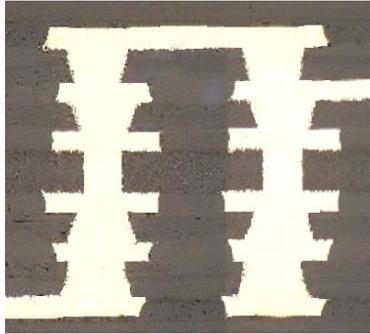


図 2・9 全層ビルドアップ構造基板事例

(c) 微細回路形成技術

サブトラクティブ/セミアディティブ法とも製造技術は一段と進化しマザーボードで LS (line/Space) 30~40 μm , パッケージ基板で LS15 μm の製品が実用化されている. 良質な伝送線路を構成する上で配線精度(幅, 高さ)をいかに向上させるかが重要課題である. また, 回路の細線化に伴い, 回路導体と絶縁層との密着性を確保するため, 従来の絶縁層のアンカー効果に代わる表面改質技術が多数研究されている. 導体層の粗化技術も, 表皮効果への影響も含め, 絶縁層やめっきプロセスとの関連性を十分検証した上で最適化する必要がある.

(d) バックドリリング

主に, 10層を超える高多層配線板で, スルーホール配線での信号反射ノイズを低減するために, スルーホール内部の層間接続に不必要な内壁の銅めっき層を除去する技術である. 図 2・10 にバックドリリングを適用した多層基板事例を示す. 同時にスルーホールが有する浮遊容量を低減する効果もある. 既に形成された貫通スルーホールに対して Z 軸制御が可能なドリリングマシンを用いて余分な銅めっきを切削除去して形成する.

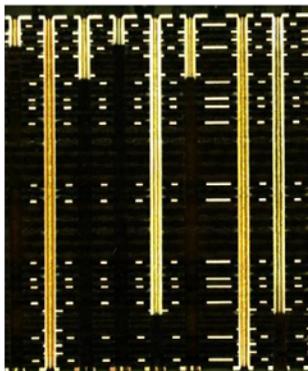


図 2・10 バックドリリング構造多層基板事例

■参考文献

- 1) JIS C 5603 プリント回路用語.
- 2) JIS C 5010 プリント配線板通則.
- 3) JPCA-BU01 ビルドアップ配線板(用語), (試験方法).

2-1-3 フレキシブルプリント配線板

(執筆者：松本博文) [2009年10月 受領]

(1) はじめに

フレキシブルプリント配線板 (Flexible Printed Circuit : 以下 FPC) は, JIS に定められている“柔軟なプリント配線板”の総称である (図 2・11 参照). また, 構造別に片面構造, 両面構造, 多層構造の 3 種類に分類できる (図 2・12 参照)¹⁾. 最近では, 携帯電話, デジタルカメラ, デジタルビデオ, 光ディスク, 小型 HDD, 携帯音楽配信機器などに代表されるデジタル家電や小型 IT 関連機器に FPC の採用が急激に拡大している. これは, FPC がこれらの電子機器の「小型化, 軽量化, 高機能化」に応用されているからである (図 2・13, 3・14, 3・15 参照). しかしながら, FPC の歴史は硬質配線板に比較して短く, 約 40 年に過ぎない.

FPC の“原形”は, 1960 年代に米国で航空宇宙機器や軍事用機器用途の特殊配線板として開発された. 日本では, 1960 年後半に, 米国 FPC メーカーの基本技術供与より FPC 製造の起業化が開始した. 一方, FPC 生産技術には特殊な要素があり, 難易度が高いため現在でも限定されたメーカーでの製造となっている.

この後の FPC の技術変遷に関しては, 「市場ニーズに基づく技術開発の迅速化 (time to market) と量産早期立ち上げ (time to volume) により, 多様化する電子機器の機能要求に対応してきた」といっても過言ではない. 結果, 配線板の中でも最も市場伸び率が高い状況で推移している. またワールドワイドの FPC 生産量でも, 日本の FPC メーカーは, その 70%強を占有するまでになっている (ただし, 東南アジアなどへの海外生産へのシフトが進み, 海外生産依存型ではある).

一方, FPC には, まだ更なる潜在的市場と要求があると想定している. 例えば, ウェアラブル技術, μ マシン技術, ロボット, バイオメトリックス, ナノテクノロジー, 光技術, 車載電子機器などの近未来電子市場にも, FPC が応用されていくと考えている. 本稿では, FPC 技術変遷の概要と最先端技術に関して紹介する^{1), 2)}.

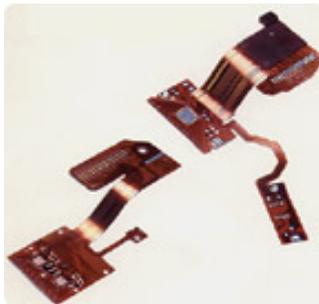


図 2・11 FPC の外観

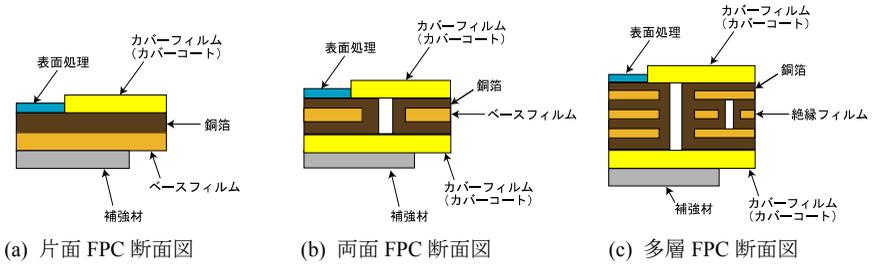


図 2・12 FPC の構造

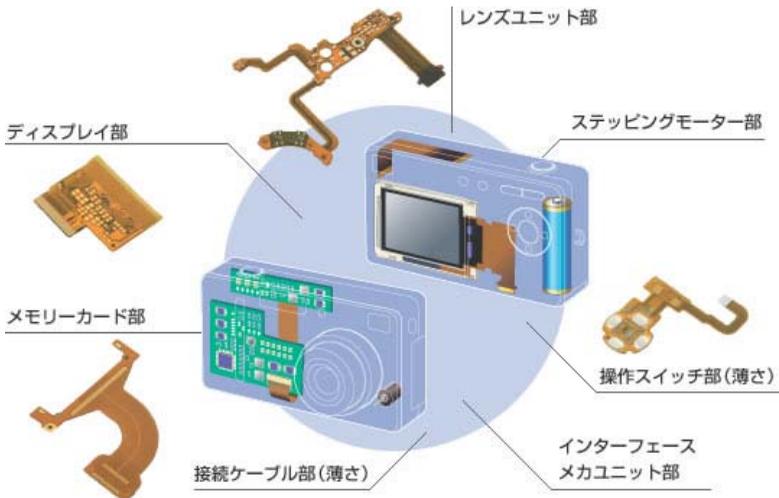


図 2・13 (採用事例) デジタルカメラ

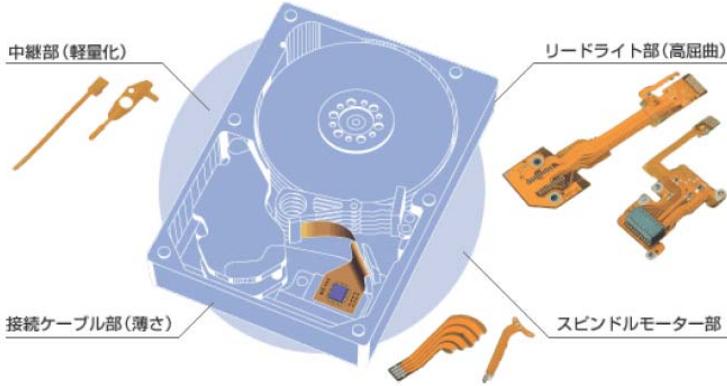


図 2・14 (採用事例) ハードディスク



図 2・15 (採用事例) 携帯電話

(2) FPC 技術の変遷

まず、現在までの FPC の要求機能と必要技術に関して説明する。前段に述べたように、FPC の“原形”は米国のミサイルやロケットの配線基板であった。その際、複雑なワイヤ配線の誤配線を防止するために、“配線がカミスを生じない (fool-proof 設計) 柔軟性のある基板”という発想に基づいて開発された。

その後、1970 年代後半から 80 年代にかけて、日本の電子機器メーカーが機器の「軽薄・短

小化」を合言葉としてカメラ、プリンタ、カーステレオなどに FPC 適用拡大を図った。この際、“FPC の二つの主機能”が活用された。一つは、カメラなどの小型機器内部の狭い空間にフィットさせる（静的曲げ）機能で、FPC を「折り紙」のように使う例である。先鞭をつけたのは、70 年代半ばに出てきた国内メーカの自動焦点カメラ用 FPC である。自動焦点化により、搭載部品点数も増加し、ワイヤ配線自体も複雑になることによる誤配線防止や実装性向上に対応した。この配線技術は、銀塩カメラからデジタルカメラに移行した現在でも応用されている。

もう一つの FPC の重要機能は、当時のプリンタヘッド接続に使われたように、FPC 自体を屈曲（動的曲げ）させて使う用途である。これは、FPC に適用する主材料が、ポリイミド (PI)、ポリエステル (PET)、ポリエチレンナフタレート (PEN) などをフィルム状に加工したベース材料（通常 25 μm 厚 = 1 mil）に銅箔（通常 35 μm 厚 = 1 oz、最近では、1/2 oz、1/3 oz や、それ以下の薄い銅箔まで適用されている）を積層した銅張積層板 (CCL) である事が大きな理由である。これを工程初期材料として、エッチングによる配線形成後、必要部分にベース材料と同様の樹脂フィルムで絶縁被覆することにより更に屈曲特性を向上している。

また、80 年代半ばから「マルチメディア機器の拡大」に従い小型 HDD が登場したが、この必要屈曲特性を満たすために、開発当初より FPC が採用された（ディスクからの読み込みや書き込み時に、磁気ヘッドつきのアームが高速度でスイングするため、FPC が標準採用された）。この頃より、FPC 技術は、民生電子機器に対しては、適用する銅箔や接着剤の改良開発で対応してきた。この初期の FPC 技術展開時に、現在の P11 mil 厚、銅箔 35 μm 厚と接着剤の組み合わせ（3 層材料）による FPC 標準仕様が固まり、現在でも FPC の主仕様として最も採用されている。

90 年代に入ってから、高寸法安定性、高耐熱性、高柔軟性、高精細性などが FPC への要求仕様として高まった。これに対して、無接着材料（2 層材料）、ハロゲンフリー材などの新材料及びレーザーピア加工、セミアディティブ、ファインエッチングなどの新プロセスが開発導入された。そして現在、これらの FPC 技術は、小型 IT 関連機器の多様化ニーズに対応すべく応用・展開されている。

(3) FPC の最先端技術

FPC の技術指標は、相対する硬質基板とほぼ同様であるが、もともと樹脂フィルムを主構成材料としているため「薄膜化」や「微細化」に関してそのベンチマーク（目標数値）が硬質基板と比較して高くなる傾向にある。

「微細化」に関しては、「半導体技術を究極の目標値」とし、FPC の配線形成可能領域を一步でも半導体領域に近づける基礎開発を MPFI (micro-precision flex interconnect) として進めた。半導体製造用の装置と FPC 材料の組み合わせで最小 10 μm ピッチ（線幅・線間 5 μm ）の原理試作を作り、1998 年米国サンノゼ市で開催された IPC 主催の第 4 回 FPC コンファレンスに“髪の毛より細い FPC”として発表した（図 2・16 参照）。当時の反響は大きく、製法などに質問が集中したのを覚えている。基本的に配線はアディティブ法、外形加工は樹脂エッチングによって作製したが、高解像度レジスト開発、アディティブ用材料開発など材料メーカーとの共同開発の成果でもあった。本技術は、 μ マシン技術などへの応用が将来的に見込まれる^{3),5)}。

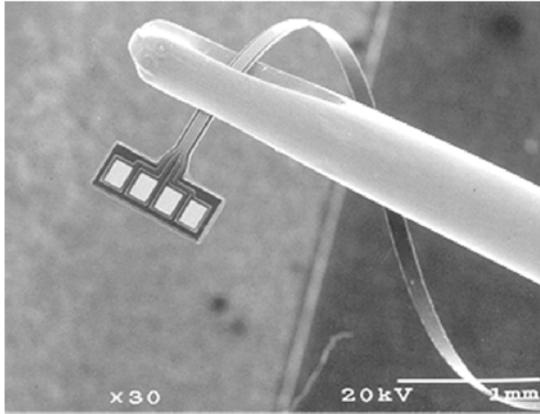


図 2-16 MPFI の SEM 写真 (高精細化の例として針の穴を通した)

「薄膜化」に関しては、現在 FPC のベース材料は PI の 1 mil 材が主流であるが、「その厚みの中に配線を埋め込む」という発想で、PTFI (paper-thin flex interconnect) という製品を企画し、適用要素技術より開発した。MPFI 技術を基本とし、絶縁被覆には、「電着 PI 法」を適用した。電着 PI 法とは、金属メッキと同様に導体部分のみに PI を薄膜被覆する工法である。当時、電着 PI は別目的で開発された材料・工法であったが、FPC 絶縁被覆材として材料メーカーと共同開発を進めた。従来は、配線の微細化に伴い、配線間の埋め込みが困難となるという問題があったが、電着 PI は導体ピッチにほとんど影響を受けずに導体断面形状に沿って成膜するためその問題を生じなかった。また、配線間の静電容量低下にも効果がある。総厚 25 μm の薄膜化を具現化した PTFI の原理試作の断面を図 2-17 に示す。

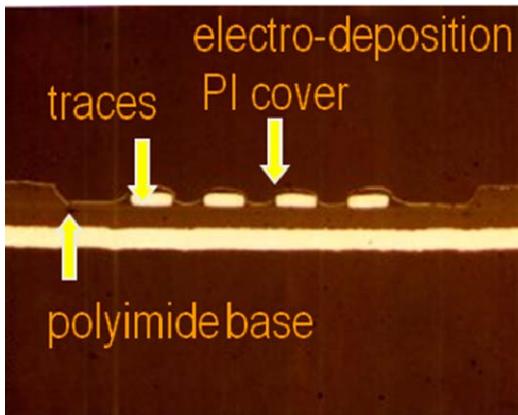


図 2-17 PTFI の断面写真 (PI ベース内部に配線されている)

そのほかの課題としては、「高周波へ対応する」ための FPC の開発がある。数 10 GHz 以上で動作する IC が市場に出てくる状況において FPC の高周波対応は、現実味を帯びた課題になっている。特に、高周波領域では配線抵抗損失に加えて、適用する絶縁樹脂材料による損失も影響するため、それに対応する材料開発が急務である。その候補には、PI の電気特性の改善と最近有力視されている LCP (液晶ポリマー) の適用がある。更に、PI の改質については、フィラ充填も提案されており、ナノコンポジットによる材料開発も必要である。

更に、「環境対応」にも先端技術課題がある。既に現状課題であるハロゲンフリー化のほかに、バクテリアなどで生分解する樹脂や、リサイクル可能な樹脂などの開発である。

また、「多層 FPC に対する部品内臓」に関しても、開発展開及び実用化が始まっている。FPC 技術では、既存の受動部品 (passive) そのものを埋め込むインテグレート方式より、薄膜技術で C, R の性質を持たせるインテグラル方式、及び L に関しては、配線微細技術で作成方法が有力視される。能動部品 (active) に関しては、狭小ピッチでかつ鉛フリー対応したフリップチップ技術などが技術課題となると想定している。

以上のように、FPC の更なる潜在的機能性を見出していくためには、FPC 適用材料・プロセスの革新的技術開発が重要であり、それが多様化・高難度化する FPC 要求技術のソリューションとなると考えている⁶⁾。

■参考文献

- 1) 松本博文, “3.3.4 フレキシブルプリント配線板 (Flexible Printed Circuits : FPCs),” 最新電子部品・デバイス実装技術便覧, R&D プランニング, pp.808-833, 2002.
- 2) 松本博文, “高精細・高機能対応フレキシブル配線板,” 電子材料, 10 月号, pp.57-62, 1998.
- 3) 松本博文, “HDD のヘッドサスペンション, 配線一体型が主流に,” 日経エレクトロニクス, 4 月 6 日号, pp.167-177, 1998.
- 4) 松本博文, “第 5 節 FPC の高精細化, COF 実装の高密度化における材料・工法の問題点とその対策,” 技術情報協会, pp.68-82, 2003.
- 5) H. Matsumoto, “Development of Micro-Precision Flex Interconnects,” Proc. IPC Forth Ann. Nat. Conf. Flexible Circuits, pp.25-35, 1998.
- 6) 松本博文, “高精細 FPC 技術開発,” NOK Technical Report, no.7, pp.37-43, 2002.

■9 群 - 9 編 - 2 章

2-2 用途と設計

(執筆者：井上博文) [2008 年 10 月 受領]

インターコネクション技術は、半導体など複数のデバイスを組み合わせて所定の機能を発揮させるものに仕上げることを目的とし、デバイスや基板などのそれぞれの電極を電氣的、構造的につなぐ技術である。実装技術は、ハード的なインターコネクション技術のみならず、広く、設計や測定といったものとして見えない無形の技術を含んでいる。言い換えれば、実装技術はものの出来具合に関わる技術を広く束ねる技術の総称である。

電子回路の実装、中でも半導体回路の実装は、高密度化と高速・高周波化を求められる。真空管の時代には、ワイヤをラグ端子に絡めて配線するといういわゆるからげ配線があったが、より小型な半導体、特に LSI などの集積回路が登場してからは、端子数の増加に見合う実装技術が必要となり、具体的な大きさや精細さなどの諸要件はその対象となる回路ごとに異なる。

例えば、大型コンピュータやサーバを代表とする大規模デジタル回路では、数千ピンから 1 万ピンの端子が 0.2 mm ピッチの格子配列で並ぶ LSI チップが用いられる。LSI は、所定の回路を構成するため、通常、これを数 cm の基板（ボード）に複数搭載するが、LSI をベアチップのまま搭載するには、端子間ピッチをボードに見合う大きさに拡張する必要がある。すなわち一端、小型の高密度基板（インターポーザーという）で受け、これを複数個、ボードに搭載するという階層構造のインターコネクション設計を行う。

また、衛星通信局や携帯電話の基地局などの無線回路では、接続数は数千ピンから数百ピンとそれほど多くはないが、伝送路としての整合性、高周波での低損失が求められる。アナログの音声帯域ではダイナミックレンジと低ノイズ性能が求められ、外部からの誘導、同じ基板内の同居するデジタル回路との干渉などの設計課題がある。

本節では、回路の目的とする性能によって異なるインターコネクションとその実装技術について、各種の実装構造をあげ、そこに用いる材料から具現化するためのプロセスに触れながら、実装設計技術、具体的には、電氣的な性能確保のための伝送路設計、回路から発生する熱を効率よく分散し冷却するための熱設計、設計が目的とした機能を検証するための計測技術について解説する。

2-2-1 大型多層配線基板

(執筆者：森田義裕) [2011 年 3 月 受領]

本項では、一般に大型多層配線基板と呼ばれているサーバ系基板について述べる。具体的には、装置概要から基板を設計する際に必要とされる設計仕様の決定方法、次いで信頼性及び製造性に関して記述する。

(1) マザーボードとバックワイヤリングボード

大型多層配線基板（以下配線基板は基板と記述）の用途は大きく分けて高性能サーバ／基幹通信などに使用されるマザーボードやバックワイヤリングボード（BWB：以下バックワイヤリングボードはバックボードと記述，BP：バックプレーン，バックパネルとも呼称される）に適用され、用途別にマザーボードとバックボードに分けられる。用途及び特徴を表 2・5 に

表 2・5 大型多層基板の用途と特徴について

名称	用途／特徴
マザーボード	<ul style="list-style-type: none"> ・ 能動部品である CPU や主記憶などを搭載する。 ・ バックボードとコネクタ接続される。 ・ はんだ付けで部品と接続されるため、サイズ・熱容量等の点でリフロー槽などのアセンブリ設備の制限を受けることが多い。
バックボード (バックワイヤリングボード)	<ul style="list-style-type: none"> ・ 複数枚のマザーボード間をコネクタを介して信号接続すると共に、多くの場合、マザーボードへの給電経路となる。 ・ 発熱の大きい能動部品が通常搭載されないため、バックワイヤリングボードを冷却することはない。 ・ 圧入コネクタのみ搭載される場合、アセンブリ設備の制限されることは少ない。

示す。バックボードは設計・製造面での制約が少ないことが分かる。

(a) 装置概要

通常、高性能サーバには筐体あたり数十個以上の CPU が接続搭載される。それら CPU はマザーボードに搭載され、バックボード経由でほかのマザーボード上の CPU と接続している。性能向上のためには CPU 間のスループットの向上、つまりはマザーボードとバックボードの高速化が鍵をにぎる。高性能サーバは図 2・18 のように、ブックシェルフ構造（バックボードに対して直角に複数のマザーボードがライトアングルコネクタにより接続される形態）をとる。

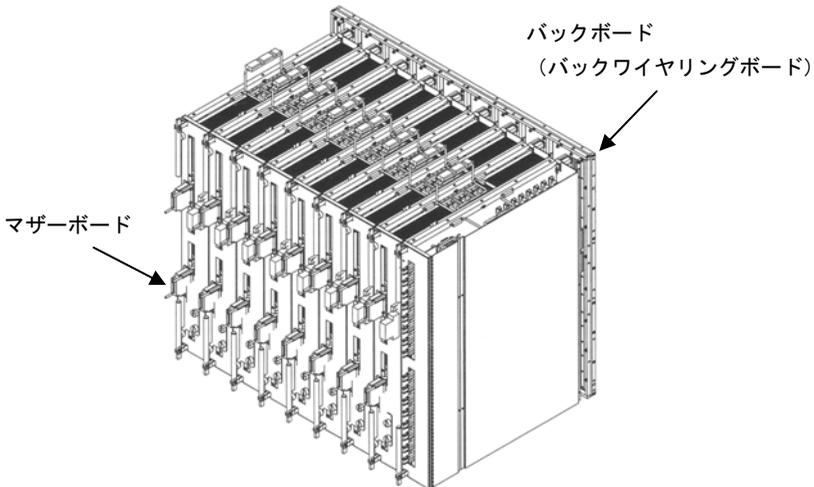


図 2・18 ブックシェルフ構造

1 枚のバックボードに対してより多くのマザーボードを接続する方がシステム全体の性能向上には当然有利に働くが、バックボードを大型化することはダイレクトに筐体サイズに影響を与え、バックボードの配線量増加によるバックボードの層数増加、筐体全体の発熱量増加に起因する冷却能力不足といったデメリットも発生する。このため、開発の初期段階で様々な案を検討して、マザーボードとバックボードの配線量などのバランスをとる必要がある。

(b) サーバ、デスクトップパソコン向け基板仕様比較

次に、大型多層基板の規模を理解するため、通常の基板の代表としてデスクトップパソコン、大型多層基板の代表としてサーバの仕様を表 2・6 に示す。サーバ向け基板は各層内ではデスクトップパソコン並みの配線密度ながら、基板全体としては数倍～10 倍程度の配線容量（総配線長）となっていることが分かる。

表 2・6 デスクトップパソコンとサーバのマザーボード仕様比較

仕様	デスクトップパソコン	サーバ
サイズ	□200 mm 程度	500 mm × 400 mm 程度
層数	10 層以下	20 層以上
板厚	1 mm 程度	3 mm 以上
総配線長	100 m 程度	1,000 m 以上
ビア数	数千	数万
最小配線幅／配線間距離	100 μm / 100 μm 程度	100 μm / 100 μm 程度
最小穴（ドリル）	Φ0.25 mm	Φ0.25 mm
最小穴ピッチ	0.8 mm	0.8 mm
材料	通常 FR-4	低損失 FR-4
特性インピーダンス整合	有	有
Z 方向膨張率（Tg 以下）	50～60 ppm/K	40～50 ppm/K
ガラス転移点	140 °C 程度	170 °C 以上
搭載パッケージピン数	1000 ピン程度	2000 ピン程度
最大発生熱量	200 W 以下	2000 W 以下

大型多層基板にはサイズ大、高多層という特徴のほかにも 1) 高速性、2) 高信頼性が特に要求され、CPU/DIMM を含む様々な電子部品や、冷却部品を搭載するための構造体となる。部品が実装されたマザーボードのイメージを図 2・19 に示す。

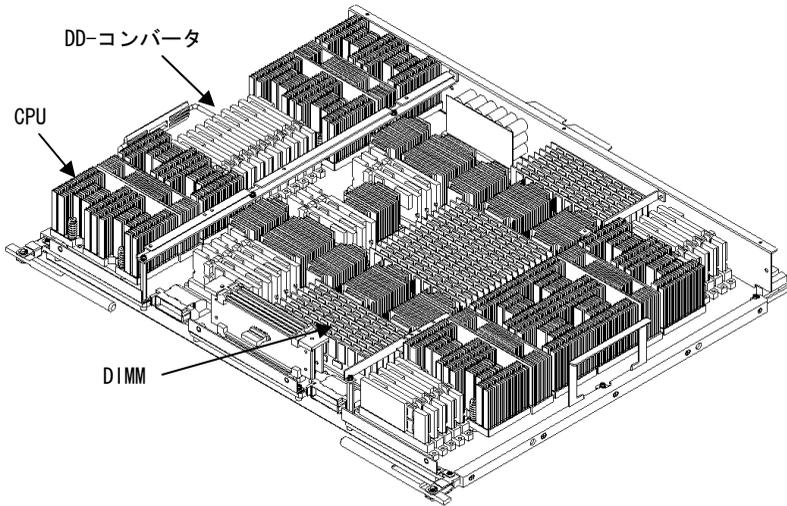


図 2-19 マザーボードの実装図

(2) 層内配線

信号を高速伝送するためにはその要素である導体損失と誘電損失を低減させる必要がある。

(a) 導体損失低減

導体損失を低減させるには、配線長が短くなるように部品を高密度実装することが有効であるが、発熱部品間の距離が狭まることで高性能の冷却が必要となる場合がでてくる。それらの最適なバランスを保つべく、部品間の距離／配線本数、伝送方式、基板自体の製造性・コストを考慮して、導体である銅箔パターン自体をより太く、厚くすることを検討する。

(b) 誘電損失低減

次に、誘電損失を低減させるための手法として、基板材料メーカーは様々なフィラーを材料内に充填させている。フィラーの種類・配合により、低損失で耐熱性の高い材料が得られる。図 2-20 は誘電率 (Dk) と誘電正接 (Df) を表したものであり、誘電率と誘電正接共に低減化された材料が大型多層基板では使用されている。

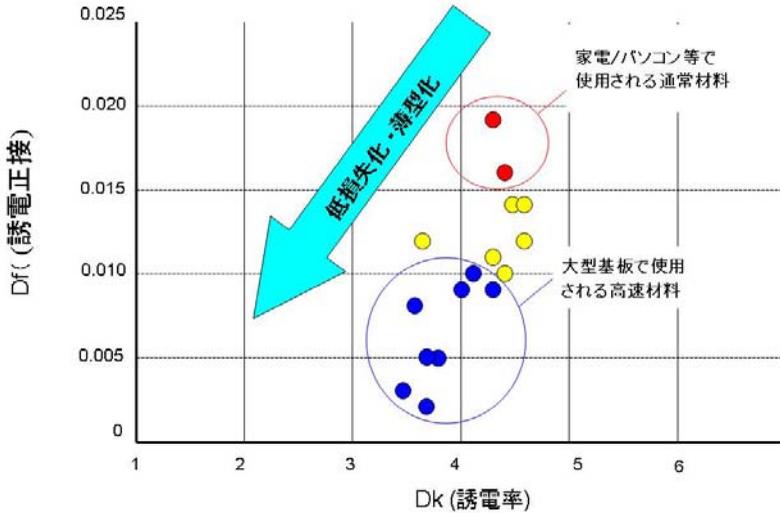


図 2-20 基板材料の電気特性 (Dk/Df)

(c) 伝送/パターン仕様の決定

配線仕様の決定においては材料特性 (Dk/Df) を基に信号配線の所望の特性インピーダンス値から、配線幅、配線、層間のクリアランスや距離が電氣的なシミュレーションにより決定される。更に、信号間のクロストークやスイッチング・電源系のノイズに対してもあわせて吟味される。ことに、数 Gbps の高速シリアル伝送の配線においては、ノイズに強い差動配線により伝送されることが一般化されてきている。最終的にはシミュレーションの前提となった基板仕様にて基板を実際に試作し、電気特性を含めた諸特性を確認する必要がある。

(3) ビア構造

従来の基板では信号パターン同士の層間接続のため、スルーホールを用いて配線を乗り替えているが、各々の信号配線のスルーホール外側の余剰部分による反射が元の信号配線に重畳されるためノイズとなる。当然、通常的大型多層の貫通基板では板厚が厚いため、スルーホールは長くなり、反射されたノイズが遅延するので LSI スwitching のための電圧波形をみだしやすい。それらを解決するため、ビルドアップ工法や貼り合わせ工法を用いた基板が使われ始めている。これらの基板はビアの長さが短く、穴径が小さく、穴明けの位置精度が高く、穴の曲がりも少ないため、高密度にビアを配置することが可能となる。

これに応じて、配線幅及び配線間距離も相応に小さくすることができる。ビルドアップ基板を図 2-21、貼り合わせ基板を図 2-22 に示す。

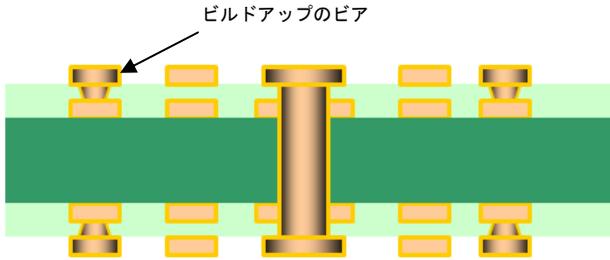


図 2・21 ビルドアップ基板構造イメージ

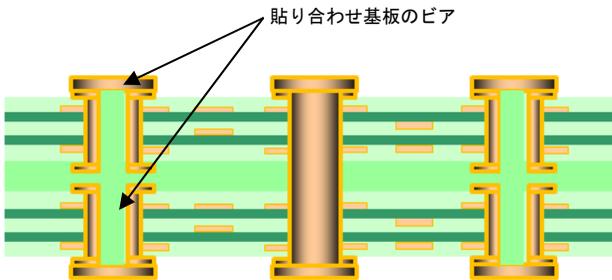


図 2・22 貼り合わせ基板構造イメージ

また、ビアの密度をある程度高め、能動素子の基板の真裏にコンデンサ／抵抗などの受動部品を搭載する方法として、パッドオンビアという方法もある。パッドオンビアはスルーホール内に主に樹脂を充填して、スルーホール表面にパッドをメッキで形成するため、ビルドアップ基板や貼り合わせ基板に比較して安価に部品を高密度に実装した基板を提供することができる。パッドオンビアの基板を図 2・23 に示す。

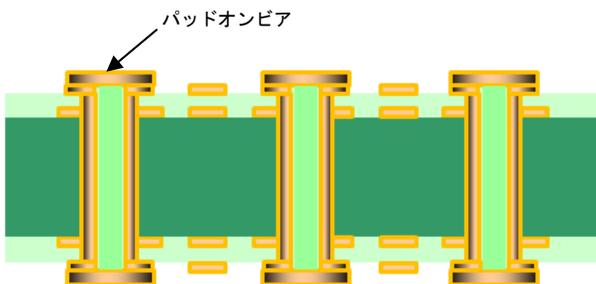


図 2・23 パッドオンビア構造

(4) 機械特性

マザーボード上には複数の CPU と数十枚の DIMM (Dual Inline Memory Module) が搭載されるため必然的に基板サイズが大きくなり、層数・板厚も増えることにより、基板自体の熱容量が増大する。リフロー方式で部品を実装する場合、はんだ付けのピーク温度が高く、高温にさらされる時間も長くなるという傾向が顕著になる。パソコンや一般の電子機器に採用されている基板材料である FR-4 材料は、ガラス転移点温度が 140 °C 程度と低く、基板板厚方向の熱膨張率もスルーホール銅メッキ部の膨張率 17 ppm/K と比較して 60 ppm/K 程度と大きい。このため、図 2・24 のような多層配線板に通常の FR-4 材料を適用した場合、スルーホール部銅メッキ中央部の応力が大きくなり、リフロー時の熱ストレスに耐えられずスルーホール部にクラックが入るといった致命的な不具合をもたらす (図 2・25 参照)。よって、通常の FR-4 材料は大型・高多層の基板には適していない。これを解決するため、高多層の基板ではガラス転移点温度が 170 °C 以上と高く、熱膨張率が 40 ppm/K 程度と低い材料を使用している。

スルーホールの信頼性は開発の初期段階で確認する必要がある。一般的な温度サイクル試験は数十分単位で基板全体を加熱及び冷却するのに対して、IST (Interconnect Stress Test) は基板内の配線パターンに直流電流を分単位で断続的に流して昇温/降温の繰り返しストレスを基板に印加させるため、開発期間の短縮化を図ることができる。繰り返しストレスにより内層ランドとのスルーホール接続部近傍は疲労し、接続抵抗値が上昇するため、スルーホールの寿命を予測することが可能となる。

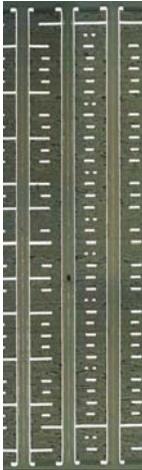


図 2・24 大型多層基板のスルーホール断面

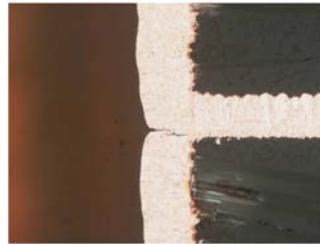


図 2・25 スルーホールクラック例

また、大型多層基板には CPU 以外にも大型の多ピン BGA などのパッケージが搭載されることが多い。大量に生産されているパソコンなどの基板の板厚に比較して、2 倍以上の板厚となるため、パッケージとマザーボード間の接続部に大きな応力が発生しやすい。高速伝送

が必要なパッケージは BGA (Ball Grid Array) が多く、パッケージとマザーボード間の接続部がはんだのみで構成される。温度変化に伴い、はんだ接合部にはパッケージとマザーボードの熱膨張差による歪みが発生する。歪み量はパッケージの形状・サイズ及び BGA 内の素子発熱量により異なるが、繰返しの歪みは接合寿命を低下させることがある。そのため、正確な予備実装評価とシミュレーションにより事前にはんだ接合に対する検証をしておく必要がある。

一方、バックボードははんだ付け部品が搭載されないため、ハンダ付けリフロー接続が不要な圧入部品などで構成される場合には、必ずしも高耐熱の材料を選択する必要はない。

(5) 絶縁性

低電圧動作するパッケージ近傍までの電圧ドロップを小さくするためシミュレーションを行い、スルーホール部周りの電源ベタ層とのクリアランス、及び電源層数の最適化が図られる。特に大型多層基板では大電流によるドロップを極力抑えるため、DC-DC-コンバータを介して近傍の素子に電源供給を行う場合が多い。DC-DC-コンバータを使用する場合、バックボード及びマザーボードの経路上では電圧が高くなるので高耐電圧を長期にわたり保証する必要がある。サーバ系基板は大型多層化しても、基板製造上、部品実装上の板厚制限があるため、層間はデスクトップパソコン並みであり、導体間の絶縁に対して厳しいものとなる。

(6) 製造性・コスト

上記のような条件を満たすため、基板の仕様は製造性を考慮して決定される。大型多層基板はサイズにもよるが材料定尺に対して、1 枚ないし 2 枚しか製造することができない場合が多い。少しでも多数枚が取れるような定尺/製品サイズを選択することが顕著に製造コストに反映される。

また、層数もさることながら、大型多層基板のための配線長、ビア数なども基板の製造性・コストに与える影響が大きく、それらの相乗効果で製造歩留まりが大きく左右される。内層形成時の外観検査やドリルの交換頻度、メッキ槽の薬液濃度など、すべての製造プロセス・条件に対して厳しく入念に管理される必要がある。

2-2-2 モバイル用小型高密度配線基板

(執筆者：江間富世) [20 年 月 受領]

2-2-3 高放熱配線基板

(執筆著：北城 栄) [2010年4月 受領]

電子機器の小型化、高性能化に伴い、発熱は大きな課題となっている。一般的に、電子部品の寿命は温度の関数であり、温度が高いほど寿命は短くなる。また、半導体に関しては、温度が上昇すると動作が不安定になるという特性がある。一方、電子部品の温度は、発熱量とサイズに大きく依存する。LSI の発熱量は、高集積化と動作クロックの高速化により上昇しつつあるが、最近では冷却方式の製品技術としての性能限界やエネルギー問題などの影響により、発熱量の上昇を抑える傾向にある。半導体などの電子部品レベルでは、マルチコア LSI 技術により、発熱量を抑えて高速化する方法の採用が増えてきている。しかし、電子機器レベルでは、相変わらず小型化への要求は強く、高密度実装の技術進展に伴い、単位体積当たりの発熱量である発熱密度は上昇し続けている。今後も、これらの傾向は続く予想される。

本稿では、電子部品の発熱による温度上昇を抑えるための放熱技術として、特に放熱性の高い配線基板に注目して解説する。

(1) 配線基板の放熱性と熱抵抗

配線基板の放熱の基礎として、伝熱現象について簡単に述べる。伝熱現象は、熱伝導、熱伝達、熱放射の三つの形態からなる。熱伝導は物質の巨視的移動を伴わずにフォノンや伝導電子により熱が移動する現象であり、熱伝達は伝熱媒体の流動に伴って熱が移動する現象であり、熱放射は電磁波の形式で熱エネルギーが伝わる現象である。配線基板あるいは電子機器からの放熱は、最終的には熱伝達や熱放射により外部に放散されるが、電子部品あるいはそれが搭載されている配線基板の伝熱特性、すなわち熱伝導による放熱性は、発熱部の温度上昇を抑制するための重要な因子である。

配線基板あるいは電子機器の熱設計においては、放熱性の大きさを熱抵抗という指標で表現することが多い。熱抵抗とは、単位発熱量当たりの温度上昇であり、熱抵抗の値が小さいほど放熱性が高いことになる。一般的に、固体の伝熱である熱伝導としては、一方向に熱が流れるときの熱抵抗 R_{th} は、

$$R_{th} = L / (\lambda \cdot A) \quad [^{\circ}\text{C}/\text{W}]$$

で表される。

ここで、 L は熱の流れ方向の長さ [m]、 A は熱の流れ方向に垂直な面の断面積 [m²]、 λ は熱伝導率 [W/mK] である。配線基板は、電源、グラウンド、配線のための銅箔層、絶縁のためのガラスエポキシ樹脂層、層間を接続するビア、スルーホールなどから形成される複雑な構造である。材質としては、銅とガラスエポキシ樹脂が主であるが、熱伝導率は銅が約 400 W/mK、ガラスエポキシ樹脂が約 0.2 W/mK であり、大きな差がある。ここで銅箔層、絶縁層、スルーホールの各要素 (図 2・26) について、横 (面内) 方向、厚さ方向の熱抵抗を求めてみる¹⁾。結果を示すと、横方向の熱抵抗は、銅は 80 $^{\circ}\text{C}/\text{W}$ 、樹脂は 2600 $^{\circ}\text{C}/\text{W}$ であり、放熱性への寄与は銅が支配的であることが分かる (並列熱抵抗)。また、厚さ方向の熱抵抗は、銅は 0.00015 $^{\circ}\text{C}/\text{W}$ 、樹脂は 10 $^{\circ}\text{C}/\text{W}$ であり、樹脂が支配的であることが分かる (直列熱抵抗)。スルーホール (ビア) の熱抵抗は、1 個当たり 100 $^{\circ}\text{C}/\text{W}$ と大きいですが、 N 個のビアではビア全体熱抵抗は $1/N$ となるため、次項のようにサーマルビアによる放熱促進が有効となる。

一般的に、配線基板の横方向の平均熱伝導率は20～80 W/mK程度であり、比較的大きな値である。配線基板の薄型化、高密度化により、今後、平均熱伝導率は高くなる傾向にある。

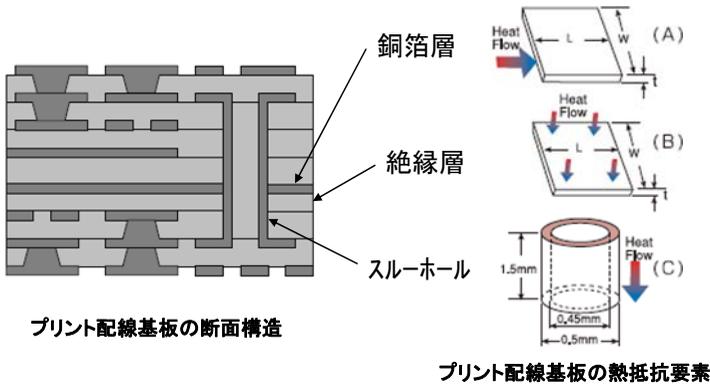


図 2-26 配線基板を構成する各要素

(2) サーマルビア

ここでは、サーマルビアの実際の効果の例について記述する²⁾。実測評価に用いた試料は、図 2-27 に示すような熱評価用の半導体チップをプリント基板に搭載し、金線によるワイヤボンディング後、エポキシ系の樹脂で封止したものである。放熱構造としては、サーマルビア(φ0.35 mm)が、無し、12 個、16 個の3種類について評価した。放熱構造の有効性は、熱抵抗(R_{ja} [°C/W]: 半導体部品のジャンクションー周囲温度間熱抵抗)によって判断している。測定結果を図 2-28 に示す。サーマルビアがあるものでは、熱抵抗が減少していることが分かる。この結果より、サーマルビアが放熱の手段として有効であることが分かる。また、12 個と 16 個のサーマルビアの熱抵抗を比較すると、個数が違うにもかかわらず、同等の結果であることが分かる。これは、サーマルビアは必要以上に個数を増やしても効果は少なく、必要最小限の個数で十分であることを示唆している。

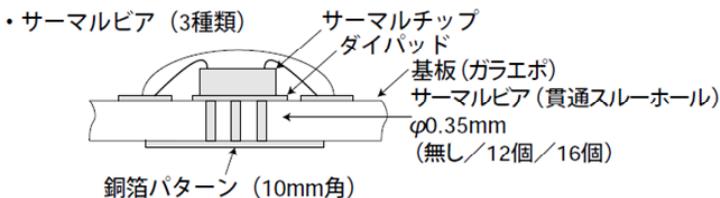


図 2-27 半導体の放熱実装構造 (サーマルビア)

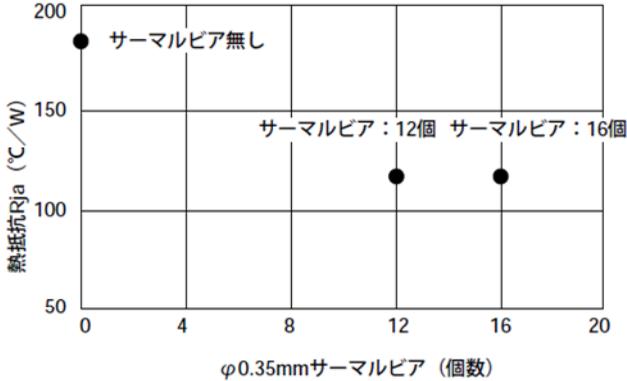


図 2-28 サーマルビアの放熱効果

(3) メタルコア基板

基板内部にメタル板を挟み込んだ配線基板を、メタルコア基板と呼ぶ。一般的に、メタル材料としてはアルミ・銅などが用いられる。図 2-29 に、メタルコア基板の断面構造の一例を示す³⁾。メタル材として銅を使用した場合は、スルーホールなどと接続されているタイプがある。この場合、スルーホールは、電源・グラウンド用や伝熱用に利用することが可能となり、大電流デバイスの実装向けに適している。また、メタルコアが露出するような配線基板構造では、露出したメタルコア部に、直接、ヒートシンクなどの放熱器を接続することにより、大きな放熱性能の向上が期待できる。

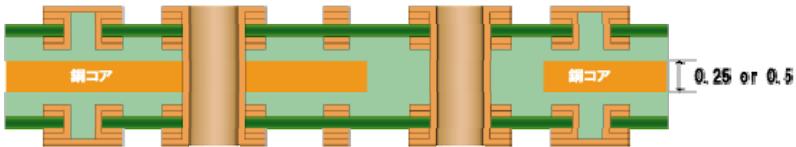
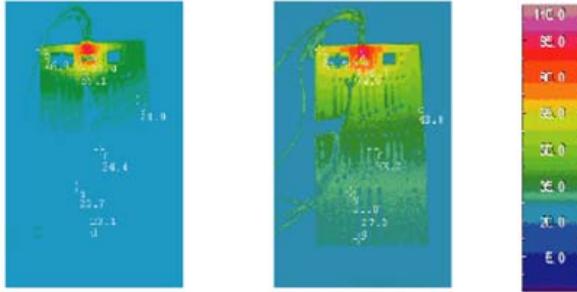


図 2-29 メタルコア基板の断面構造

図 2-30 に、配線基板に発熱体を搭載して宙に浮かした状態での温度分布を、サーモカメラで撮影した図を掲載する³⁾。通常の配線基板に比べて、銅コア基板は基板内部での伝熱性能が高いことが分かる。



ガラスエポキシ基板(4層) 銅コア基板(銅厚0.25mm)

図 2-30 メタルコア基板の放熱性能

(4) メタルベース基板

配線基板の熱伝導性を向上させるために、基板のベース材が金属板からなる基板をメタルベース基板と呼ぶ。ここではメタルベース基板の放熱効果向上の例として、BGA (Ball Grid Array) パッケージのインターポザー基板にメタルベース基板を用いた例を示す⁴⁾。図 2-31 に今回のメタルベース BGA の構造を示す。信号配線層は低コスト化のために一層とし、ベース銅板、ポリイミド絶縁層、銅箔配線層、ソルダーレジスト層の 4 層からなっている。メタルベース BGA の熱抵抗値を図 2-32 に示す。メタルベース BGA は、厚さ 0.35 mm の銅板をベースとしているので放熱性に優れている。その熱抵抗は、1 m/sec の強制空冷下で 14 °C/W を示し、従来のヒートスラグつき多層基板型 BGA と比較して約 15%低減していることが確認された。

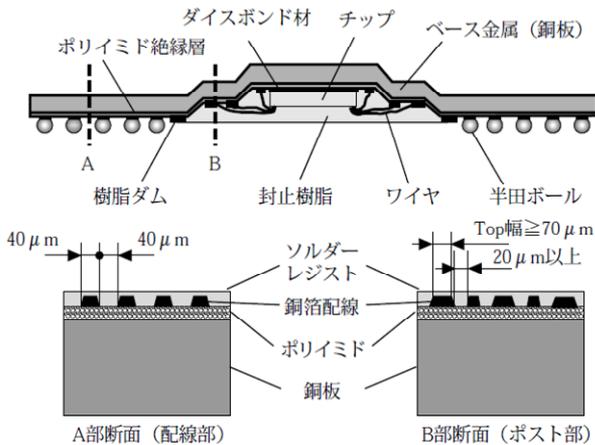


図 2-31 メタルベース BGA の構造

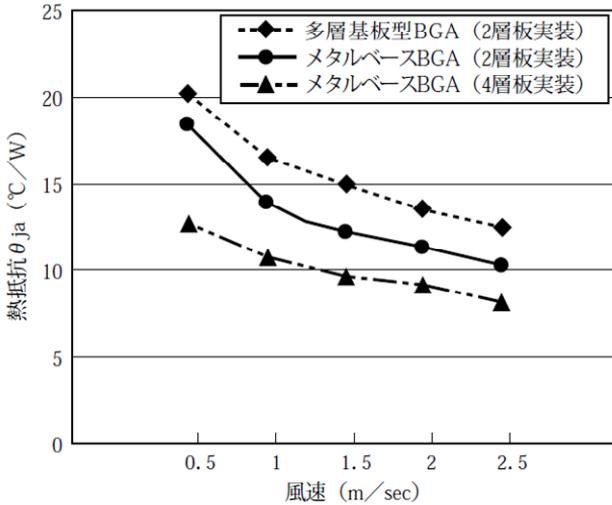


図 2-32 メタルベース BGA の放熱性能

(5) 液冷ヒートシンク内蔵プリント基板

ここでは、将来、電子機器の高速化、小型化が進化したときの放熱課題を解決する手法の一つとして、液冷ヒートシンク内蔵プリント基板を示す⁵⁾。装置・システムには、パワーの大きな半導体が複数個ある場合も珍しくはない。その場合、電気配線と同様に、液冷の流路も複雑になることが予測され、複雑な流路を簡便に形成する必要がある。究極的には、各部品を電氣的に接続する中心的な役割を果たすプリント配線基板そのものが、液冷流路の機能を内蔵することが望ましい。図 2-33 は液冷ヒートシンク内蔵プリント基板の外観と断面構造である。ここでは、あらかじめ流路が形成された吸熱部を、プリント基板のラミネートプロセスの段階で内蔵するものである。一般的なメタルベース基板に比べても、冷却性能ははるかに大きく、例えば 50 W の消費電力を有する LSI パッケージをヒートシンクレスで冷却することが可能である（通常は、ヒートシンクレスの限界電力は 2 W 程度）。

以上、高放熱性の配線基板の技術として、サーマルビア、メタルコア基板、メタルベース基板、液冷内蔵基板などを紹介してきた。配線基板には、信号伝送、電源供給、形状維持、などの機能が要求されるが、今後、電子機器の発熱密度が向上してくると、ヒートシンクやファンによる対策では温度低減が難しくなる。なぜなら、実装密度の向上により、電子機器内の空間が減少して、ファンなどの空冷対策に限界がくることと、更には半導体などの発熱部から電子機器の外部に熱を逃がす経路である実装システム(半導体パッケージ、配線基板、など)は、伝熱性の低い樹脂などの材料が多用されているため外部に熱を逃がしにくいためである。このようなことから、今後、配線基板には従来にも増して高い放熱性が求められ、新しい材料技術・プロセス技術により、経済性にも優れた使いやすい高放熱基板の実現が望まれる。

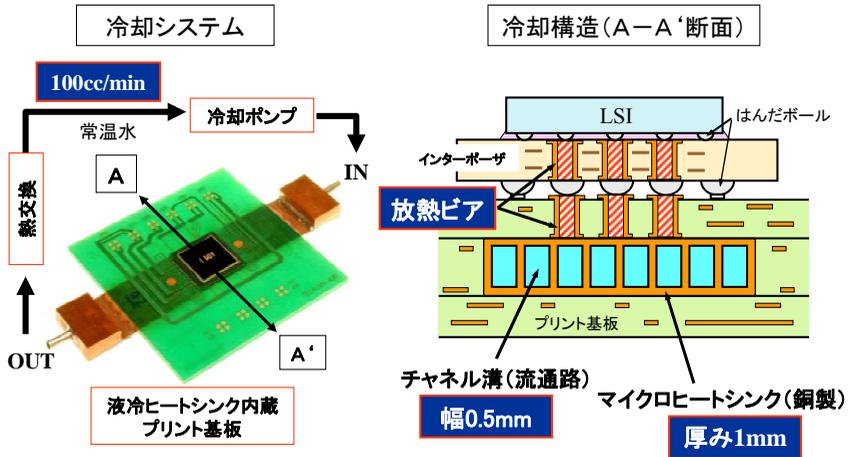


図 2-33 液冷ヒートシンク内蔵プリント基板の構造

■参考文献

- 1) <http://focus.tij.co.jp/jp/analog/docs/analogsplash.asp?contentId=49908>
- 2) 中原, ほか, FUJITSU DENSO REVIEW, 1999年12月号, 通巻15号, vol.9, no.2, pp.47-51, 1999.
- 3) http://www.cmk-corp.com/html/product/prod_cmk-comp_idx.html
- 4) 照井, ほか, 沖電気研究開発, 2000年10月, 第184号, vol.67, no.3, pp.73-76, 2000.
- 5) 北城, エレクトロニクス実装学会誌, vol.8, no.3, pp.194-198, 2005.

2-2-4 ミリ波実装基板

(執筆者: 井上博文) [2008年10月 受領]

実装への要求事項は, 目的とする機器性能や対象とする回路によって大きく異なる。コンピュータなどのデジタル高速回路の実装では数千ピン以上の端子を配線するのに対して, マイクロ波, ミリ波の無線を中心とした高周波回路の実装では端子数はそれほど多くを求めない。その反面, アナログ性能, 例えば伝送路での厳密さを求める。ここでいう厳密さとは, 信号波形の高精度, ノイズレベルの低さ, クロストークの少なさなどを指し, 時間推移での性能安定性を含めて求められる。

本項で述べるミリ波実装技術は, 商業ベースに乗る前の段階で, 製品化の研究開発としてはまだ黎明期であろう。市場全体は見えてはいないものの, このところミリ波実装が注目されるのは, ミリ波の特質(直進性とこの帯域の波がもともと自然にはあまり存在しないという特質)を生かした車載用衝突防止レーダが実用化に至ったこと, 半導体の高周波性能向上と集積化が進み, 実装での損失分を補えるだけの利得が比較的容易に得られ, 集積化によりチップ内で処理できる処理範囲が広がったことが理由にあげられる。

図 2-34 に, マイクロ波, ミリ波領域の実装トレンドを携帯機器のセンチ波領域とあわせて示す¹⁾。MMIC (Monolithic Microwave Integrated Circuit) や CMOS (Complementary Metal Oxide Semiconductor) などの半導体の性能向上は著しく, 集積度向上を目的とした微細化プロセス

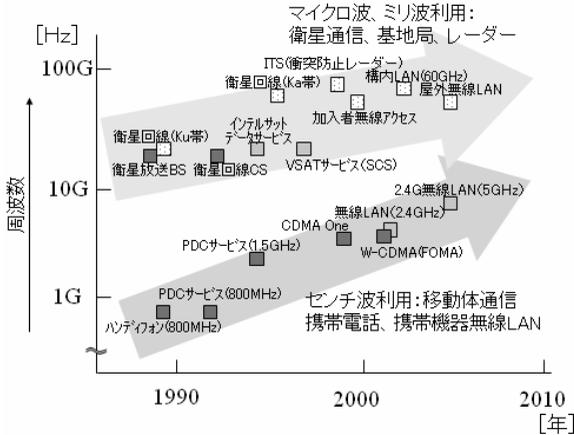


図 2-34 高周波機器と周波数の推移

により高い周波数での動作を可能にしてきた。

ミリ波の用途は、図 2-34 に示した車載の衝突防止レーダ、構内の無線 LAN (Local Area Network) のほかに、画像をとらえる天体観測、物体を撮像するミリ波イメージング装置やミリ波スキャナ、デジタル家電を高速に無線でつなぐ WPAN (Wireless Personal Area Network) などがある。天体観測機器では装置の大きさなどの実装課題はあまりクローズアップされず、どちらかという性能 (感度やノイズ除去特性) 重視であるが、それ以外の多くの用途では小型化と高信頼性などの実装課題がある。

実装の難しさを一言で表現するならば制約条件の多さにあるといえる。代表的な半導体、CMOS は集積回路に適していて、素子や配線の微細化が最優先課題となってきた。微細化は半導体内部あるいは信号配線の寄生容量を減らすこととなり、より高い遮断周波数動作を実現できる。同じプロセス世代ではコストはチップ面積に比例するため、高周波性能と低コスト化が同時に解決され進展してきた。

これに対して、実装は一方で半導体の実装制約を加味しながら、一方でコネクタなどの機構部品の実装制約を加味せねばならない。ミリ波実装では波長が短いゆえに、より小さく作ることによって性能を出しやすしいことはいえるが、小型化、軽量化と並行して、ヒューマンマシン・インターフェース部分での使いやすい大きさ、形状とをバランスよく同居させていく必要がある。そのため、半導体チップの微細電極から、人が扱う製品の大きさになるまでを段階的につなぐ各所でどのような材料をどう組み合わせるか、具体的な寸法はどうなるのかという実装課題が製品ごとにあり、これには一般解がない。それぞれの製品に固有の要件をそのライフサイクルが経済的に許す範囲の中で最適な固有解を求めなければならない。

本項のミリ波実装技術開発においてもこうした制約は大きく、市場が見えない現時点ではそれほど積極的な開発が行われているとはいいがたく、最適解を求める独自の技術確立には至っていない。多くのミリ波実装に用いる材料、構造、設計の基礎的な事項は、1970 年代後

半から盛んに開発されてきたマイクロ波実装技術で培ったものである。これに、近年の半導体の微細化、多ピン化に対応した接続技術と、高性能化したコンピュータを用いた設計、解析といった技術が加わり、周波数などの諸特性の課題解決が図られてきているのが現状である。従って、ここで解説するミリ波実装は、マイクロ波実装と基礎的なところでの区別がないものとし、各所でミリ波・マイクロ波実装と記載した。

(1) ミリ波実装基板構造

代表的なミリ波・マイクロ波実装例を図 2・35 に示す²⁾。この実装基板は複数のチップを搭載した送受信モジュール、いわゆる MCM (Multi-Chip Module) である。

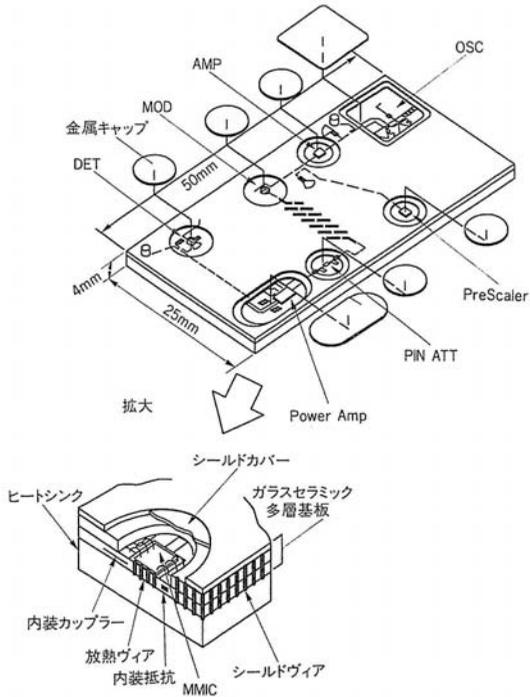


図 2・35 代表的なミリ波・マイクロ波実装例 (Multi-Chip Module) ²⁾ *

* 図 2・35 中の略語は次の通り。AMP : Amplifier (増幅器), OSC : Oscillator (発振器), MOD : Modulator (変調器), DET : Detector (検波器), PIN ATT : Positive intrinsic Negative Diode Attenuator (PIN アッテナータ), MMIC : Microwave Monolithic Integrated Circuit (マイクロ波モノリシック集積回路)。

モノリシック集積回路は半導体プロセスでトランジスタやダイオード、抵抗器、キャパシタなどを一括してウェーハ上に作った集積回路。普通に集積回路と呼ぶ時にはこれを指すことが多い。これに対して、個別に作った複数のチップを先に作っておき、組み立て、配線の一つの集積回路にしたものをハイブリッド集積回路 (Hybrid Integrated Circuit) という。

図 2・35 の実装は、送信回路（パワーアンプ）の熱を逃がすための放熱ビアとそこにつながるヒートシンク、送受信のアイソレーションをかせぐためのシールドビアなどを設けた構造としている。ミリ波領域では半導体の効率が課題で、特に送信機のパワーアンプでは供給した電力の半分以上が熱となって温度上昇をもたらす、実装での放熱構造が重要な設計要素である。

(2) ミリ波実装基板を構成する材料

ミリ波・マイクロ波実装基板の構成要素を表 2・7 に示す。基板は導体と誘電体（絶縁体）からなり、部品は半導体などのアクティブ部品と抵抗器、キャパシタなどの受動部品からなっている。これら両者をつなぐ接合材料（一般的には、はんだづけ材料）も重要な構成要素である。

表 2・7 ミリ波・マイクロ波実装基板の構成要素

実 装 基 板	<p><基板>導体と絶縁体からなる板</p> <p>◇胴体は、銅、金、銀、アルミニウムなど、及びそれらを含む合金</p> <p>◇絶縁体材料の種類により基板の名称が異なる 有機絶縁体材料—プリント配線板、… 無機絶縁体材料—セラミック基板、…</p>
	<p><部品>電子部品</p> <p>◇アクティブ部品：ミリ波半導体、IC など</p> <p>◇パッシブ部品：抵抗器、キャパシタ、リレー、コネクタ、LED、ほか</p>
	<p><接合材料></p> <p>はんだづけ材料、圧着材料（金、銅、アルミニウムなど）</p>

導体は、銅 (Cu)、金 (Au)、銀 (Ag)、アルミニウム (Al)、パラジウム (Pd) (これらの合金を含む) あるいは磁器基板ではモリブデン (Mo)、タングステン (W) などが用いられる。高周波域では表皮効果による損失があるから、導体表面、あるいは導体と絶縁体の界面ができるだけ平滑で、鏡面に近いことが望まれる。一般に導体と絶縁体は基本的には異なる性質を持ち接着性には注意が必要である。

マイクロ波・ミリ波基板の構成要素の中でより特徴的なものは絶縁材料である。導体の設計定数は特殊な磁性材料を用いない限り透磁率 1 とするので先の表皮効果を考慮して設計することとなるが、絶縁体の方は材料により高周波特性が異なり、加えて、多くの構造では機械的な強度を誘電体に要求するため、設計者は最適なものを選択する。

マイクロ波・ミリ波基板に用いる主な絶縁材料（誘電体材料）を表 2・8 に示す。無機絶縁材料と有機絶縁材料を示した。有機絶縁材料は単体での利用はわずかで、ほとんどは無機絶縁材料とのコンポジット基板である。これは熱特性の向上（耐熱性の向上や熱膨張係数の改善）、及び導体層との密着強度を上げることを目的に、無機絶縁材料と組み合わせたもので、例えば、ガラスエポキシ基板 (FR4) ではガラス繊維の織布を、ポリイミド基板ではアルミ

ナセラミックスの粉やガラスのフィラーを混合したものである。

絶縁材料の誘電率の大小そのものはそれほど問題にならない。誘電率は実効では、その数値のルートで効くこともあるが、損失が実部と虚部の比で決まるためである。周波数依存性決めている虚部が重要であることはいうまでもない。

先に書いたように実装では熱膨張係数や強度などの機械的特性が非常に重要である。ミリ波・マイクロ波実装に限らないが、部品を基板に実装したものは、温度を上げた状態での導体パターンとの密着強度の低下、基板の吸湿性による実装信頼性と電気特性の悪化を招くことがあり、温度特性、対湿度特性確保が必要である。部品が搭載した後に、スルーホールやビアから層間にしみ込むことでより吸湿していることもあり、実装基板では温度試験のみならず、高湿試験や高温高湿試験などが欠かせない。

表 2・8 マイクロ波・ミリ波実装基板に用いる代表的な絶縁材料

種類	材料名	製品例(メーカー名) 諸データは製品 カタログから抜粋	比誘電率 (1MHz)	誘電損失 (1MHz)	熱膨張係数 ppm/K (樹脂ppm/°C)
無機絶縁材料	アルミナ	HA-921(NTK)	9.4	5 × 10E-4	6.7
	A ₂ N	AN242 (京セラ)	8.7	10 × 10E-4	4.7
	アルミナ・ガラス (LTCC)	GL660 (京セラ)	9.4	2 × 10E-4	6.2
		C-630 (NTK)	7.5	10 × 10E-4	5.1
有機絶縁材料	参考:紙・フェノール	FR-2	5	0.04	—
	ポリイミド	Kapton (東レ・デュボン)	3.3	79 × 10E-4	27
	参考:紙・エポキシ	FR-3	4.6	0.035	—
コンポジット樹脂材料 フィラー混合 アルミナ混合	ガラス・エポキシ	ABF-SH9K(味の素 ファインテクノ)	3.8	0.027	—
		MCL-E-67 :FR-4 (日立化成)	4.8	0.017	—
	ガラス・テフロン	R-4737(松下電工)	2.6	5 × 10E-4	—
	ガラス・PTFE	6002(RT/duriod)	2.94	0.0012 (10GHz)	24

ピン数の少ない部品で構成される場合は両面配線基板が多く使われるが、近年、多値化を目的にデジタル変調など、100 ピンを超える部品が増えてきた。ピン間隔も 0.5 mm 以下となり、多層基板を用いることが必要となってきた。

無機絶縁材料を用いたセラミックス基板の中で、磁器は焼成温度が一般に 1200 °C 以上であり、この場合、一緒に焼くこととなる導体は Mo や W を用いる。ガラス材料は、より低い温度で軟化し流動性を有するため、これら以外の金属を導体とすることができ、封着材料としても適している。ガラスの中でも低融点ガラスを用いた LTCC (Low Temperature Co-fired Ceramic) 基板は、多層基板材料として導体と絶縁体を複数同時に焼成することを可能にした。LTCC の多くは鉛 (Pb) を含まず、アルミナ (Al₂O₃) と CaO, B₂O₃, Zr O₂ などを加えた材料としている。LTCC プロセスは、無機粉末に樹脂や溶剤を混合して練ったものを薄いシート状にし、ここに配線を形成し、複数枚を積層し、低温 (とはいっても樹脂から見るとかなり

高い 900 °C 前後) で焼成する。

多層基板材料は製造プロセスで熱を加えて所定の温度で硬化させた後は、より高い温度でないと溶け出さない不可逆(熱硬化)性が求められる。

磁器では焼成によってバインダ成分が燃えてなくなり、無機材料の粒子どうしが強固に結びつき、再び同じ温度を加えても軟化することはない。同じ温度で最焼成した場合、粒子が更に大きく成長し、粒子間の粒界(空隙)が広がる。これに対してガラスでは一般に低温では固まり、高温では軟化し流れるといった可逆性を有し、低融点で使いやすいものの、多層基板材料には不向きであった。しかし、アルミナとホウケイ酸ガラスを組み合わせ結晶化ガラスが開発されてからは、焼成で硬化した後に、温度による軟化がしにくくなるという性質を有することとなり、多層化に適することから LTCC 基板が広まるに至った。なお、900 °C 程度の低融点での焼結はクリーン度を保ちやすい石英マッフルを有するベルト炉が使い、連続生産に適している(石英マッフルが無い場合は粉の出やすい耐火煉瓦の下で焼くこととなるため、クリーン度を保つため所定の磁器ケースで囲うなどする)。

アルミナで用いる Mo や W の抵抗値が大きいものに対して、この LTCC では Au 配線などを用い、抵抗値が小さく、かつ、ガラスが入った分、誘電率が低いことから、同じ厚みで設計した場合、マイクロストリップ線路の線幅が広くなり、導体での損失が小さくなるという利点がある。

基板の有機絶縁材料では同様の理由で熱硬化型樹脂を用いる。有機絶縁材料の軟化温度は表 2-8 に示すように 100~300 °C 程度で、はんだづけ温度が 250 °C 付近であることからかなり厳しい使い方となっている。耐熱性を重視してイミド系の樹脂を用いることもあるが、吸湿性があり使用条件によってはごく一般に用いるエポキシよりも劣化が起きやすいこともあり注意が必要である。

ガラスエポキシ樹脂はガラスファイバの織布にエポキシ樹脂をしみ込ませるもので、G10 あるいは FR4 という基板の規格となっている。このコンポジット材料は広く使用されてきているが、構造上、ガラスファイバの織布が縦方向と横方向で密度が異なり、縦方向では樹脂とのコンポジット性が強く、横方向ではガラスの影響がよりでやすく、結果的に縦と横の誘電率が異なり、これを加味すると高周波特性の解析精度が上がる³⁾。

テフロンは誘電率が低く、損失が小さく、マイクロ波基板として、プリント配線板の初期より産業用、軍用を中心に使われてきたが、テフロンが常温付近の特性に変曲点を有し、加えて導体との接着力が得にくいことから、ガラスファイバの織布に浸透させるか、ガラスのウイスカを混ぜるなどの無機、有機材料のコンポジット製品としてきた。表には入れなかったが、同軸ケーブルなどに多用されるポリエチレンもあるが、軟化温度が低く、基板材料としては適さない。

最近では、ポリオレフィン系の基板が出てきていて、高周波特性が良く、桁外れに低損失である。導体との接着性もまずまず良く、期待できる。しかしながら、ポリオレフィンの本質的には熱可塑性であり、添加物により熱硬化性を幾分持たせているため、低温と高温の変化が激しい、温度サイクル条件下では、硬化と軟化を繰り返し、これによる実装部品への影響、端子電極接合部への影響、更に樹脂自体の劣化が加速する可能性があり、現時点では実装基板(部品実装状態の基板)での信頼性データは少なく、今後の開発が期待される。

(3) 伝送路構造と電気特性

ミリ波・マイクロ波実装は、伝送路構造の均一性から、マイクロストリップ線路を用いた場合は、図 2-36 の断面図に示すように、デバイスの回路面を上に向けてワイヤでつなぐ構造がグラウンド特性を確保しやすく適している。

この場合、ワイヤの長さを短くし、グラウンドからの高さを低くすることが必要となるため、より多ピンの格子電極配置のデバイス実装には不向きである。ワイヤの長さについては、ダブルワイヤにすることでインダクタンスを小さくしたり、リボン断面を有するウェッジボンディングを用いるなどの方法で特性を改善できる。

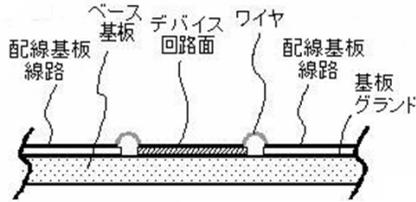


図 2-36 実装基板構造の断面例⁴⁾

コプレーナ線路では、同一面にある信号とグラウンドの関係を保持しながらデバイスと配線基板をつなぐため、図 2-37 に示すように接続部にバンプを用いた構造が適している⁴⁾。同一面で分割したグラウンドどうしをつなぐため、電極を跨ぐためのエアブリッジを設けるか、ポリミドなどの絶縁層を設けて部分的に 2 層配線構造とする。基板に配線パターンでインダクタを形成する場合の巻いた中心部電極からの引き出す部分も同様に 2 層配線を用いる。

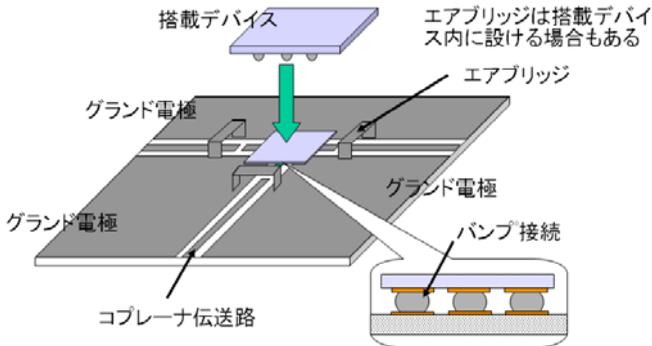


図 2-37 ミリ波・マイクロ波実装基板構造例 (コプレーナ線路の場合)⁴⁾

デジタル回路 (LSI) と混載したミリ波・マイクロ波回路の実装例を図 2-38 に示す。インターポザーに多層基板を用い多ピンの LSI と高周波デバイス (RF Component) を同居させ、一種のモジュール化を図ることで、実装面積、実装体積の小型化を行っている⁵⁾。

全体の回路の中から、より高い周波数を扱う、区切りの良い単位で回路を切り出し、半導体などのアクティブ素子、インダクタ、キャパシタなどのパッシブ素子を一つのモジュール内に実装する。

より高い周波数をこのモジュール内で処理し、例えば周波数の落ちた中間周波数やベースバンド信号、電源などをプリント配線板で扱う。ミリ波・マイクロ波のアンテナが小型であることから、アンテナをモジュール内に同居させることで、後工程での実装を省力化できる。

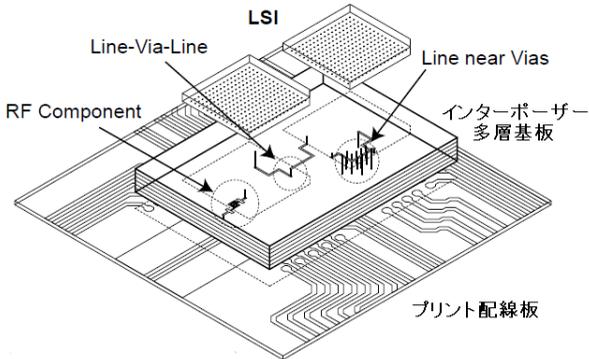


図 2・38 ミリ波・マイクロ波実装への多層基板利用⁵⁾

インターポーザーの層間接続部のビアやスルーホールは伝送路の不連続点になり周波数特性の悪化を招く。より小さく作ることによってこの影響は小さくなる。層間に導電性のビアを作る代わりに、上下層に対向電極を設けて容量結合を作り回路間のカップリングコンデンサとしたり、層間結合を用いて平衡／不平衡の変換（バラン）を構成することで、単なる伝送路の不連続点にならないよう工夫をする。

図 2・38 の階層構造では縦方向の配線を用いることで信号線は短くなるが、その反面、信号の基準となるグラウンドは各階層に存在し、これらをどのようにつなぐかが重要となる。特に、デジタル回路、中でも動作時に大きく電流が変化する CMOS 回路を用いた場合は、信号の基準としてのグラウンドと、電源を供給するための基準としてのグラウンドをどう折り合いをつけて構成させるか、配線するかが設計課題であり研究が進んでいる⁶⁾。

アンテナの放射特性と搭載部品との干渉については、電磁界解析が必要であるが、高い周波数では志向性が鋭くなる傾向があるため、極端に志向性を広げた設計をしないかぎり、それほど影響はない。むしろ、近年のデジタルベースバンドを扱う半導体自体からのノイズや電源変動が、受信側の微弱信号を扱うアナログ回路への配線や空間から回り込むことに注意が必要である。

ミリ波・マイクロ波実装基板の設計は、設計対象となる回路の求める要件と、半導体などのデバイスの物理的な条件と、これにあわせたインターコネクションの微細化限界、配線パターン耐熱性からくる使用可能な素材選択の制約、接続する際のプロセス温度や化学的なストレス制約、搭載機の機械的な大きさからくる配置の制約などを加味して、種々の選択をしながら進めることとなる。少ピンのデバイス実装では無機絶縁材料を用いた基板が今後も

利用されるであろうし、より多ピン系に適した樹脂絶縁材料を用いた基板も部分的に利用が進むであろう。

今のところ、ミリ波・マイクロ波実装基板ではコスト面を含めた万能基板というものがない。デジタル回路実装で多用される標準基板 FR4 のように、無機絶縁材料と有機絶縁材料を組み合わせたコンポジット材料をベースにし、実装の種々の要求を解決しながら、一層の高周波特性改善をしたものが主流となるであろう。

半導体のペアチップと無機絶縁材料系の基板との相性は良く、小型の基板としては今後も利用されるであろう。無機絶縁材料系の基板の実装設計者は、実装プロセスを加味して、ある程度定められた範囲で、構造、大きさなどを決めながら、設計を進めることになる。

限定された半導体チップでは、設計ルールが定まるであろうが、多くの場合、実装設計する都度、チップは改版され、より広い範囲での選択を迫られる。ものを作らずして電気特性を得るため、電気的な解析、特に構造を用いた電磁界解析を行うが、解析モデルを生成する場合の境界条件の多くは実装プロセス条件で決まる。そのため、進展著しいミリ波実装領域では、既に繰り返し設計が行われてルール化された領域に比べ、実装技術へのより深い理解が必要となる。

一方、デジタル回路実装で多用されているスタンダード基板 FR4 ではより規模の大きな回路を設計支援するツールが用意され、この設計環境を利用しながら、FR4 に変わる新しいスタンダード基板を作れば、過去の設計資産が生き、より安価に量産できるであろう。しかし、FR4 基板と同じプロセスが使えるといっても要所で製造条件は異なる。例えば、多層基板を作る際のプレス温度や、ビアを開ける場合のレーザー照射条件など、ビア底の絶縁材の在留物除去など重要な箇所でのプロセス条件が異なってくる。FR4 に変わる新しいスタンダード基板は現時点でまだ試作レベル、あるいはごく少ない生産である。これらの新しい基板の実装信頼性評価は、FR4 を生産しながら並行して進むこととなる。基板単体の評価に加えて、種々の部品を搭載したものの評価を行うには数年を要し、量産プロセスの構築、評価を考えあわせるに、普及には短くて 10 年、普通に考えれば 20 年以上の年月が必要で、近視眼的にならず、粘り強く着実な研究開発が望まれる。

■参考文献

- 1) 井上博文, “高速・高周波化の動向と材料への要求,” エレクトロニクス実装学会誌, vol.6, no.4, pp.282-288, 2003.
- 2) 生稲一洋, 木村 光, 大曲新一, 小杉勇平, 山本 修, “マイクロ波衛星通信局用ガラスセラミック多層基板,” NEC 技法, vol.49, no.11, pp.59-63, 1996.
- 3) 小林禰夫, 相羽 英, 吉富了平, “銅張りプリント配線基板のマイクロ波特性評価,” エレクトロニクス実装学会 超高速高周波エレクトロニクス実装研究会予稿集, vol.7, no.4, pp.11-16, 2008.
- 4) 井上博文, “超高速配線技術,” 信学誌, vol.88, no.6, pp.421-427, 2005.
- 5) 石川 亮, 本城和彦, 今井規夫, 井上博文, “高密度実装における OSE 法簡易高精度モデリング及びその応用,” 電子情報通信学会 ソサイエティ大会予稿集, p.141, 2005.
- 6) 井上博文, “高速高周波実装におけるグラウンド設計,” エレクトロニクス実装学会 システム実装 CAE 研究会予稿集, Jun. 13, pp.12-16, 2008.

2-2-5 電磁輻射

(執筆著：原田高志) [2009年4月 受領]

回路動作に伴い、プリント配線板の各信号配線やグラウンド、電源供給系には電流が流れ、電圧が発生し、これらが源となり電磁波が放射される。通常のデジタル信号処理回路では電磁波の放射は意図していないことから、このような放射は不要電磁波と呼ばれ、放送や無線通信、またほかの電子機器への妨害 (Electromagnetic Interference: EMI) を発生させるため、米国では FCC (Federal Communications Commission)、日本国内では VCCI (Voluntary Control Council for Information Technology Equipment) などがその放射レベルに対し規格値を制定している。

プリント配線板からの電磁波放射メカニズムは以下の四つに大別できる¹⁾(図2・39参照)。

1. ディファレンシャルモード放射
2. コモンモード放射
3. リターン電流の不連続
4. 電源供給系からの放射

ディファレンシャルモード放射の代表的な例としては、図2・39に示すようなプリント配線板の信号配線に流れる際にグラウンド上に流れるリターン電流とで構成された電流ループに基づくものがある。実際のプリント配線板ではグラウンドの構造(プレーン状、配線)や、信号配線上の電流の不均一性や位相の影響があり、単純なループアンテナとして見なすことはできないものの、配線長の短縮やグラウンドを信号配線に接近させるなどのループ面積の縮小につながる施策や、ダンピング抵抗、フィルタの挿入などの信号電流低減は基本的な放射抑制手法として重要である。

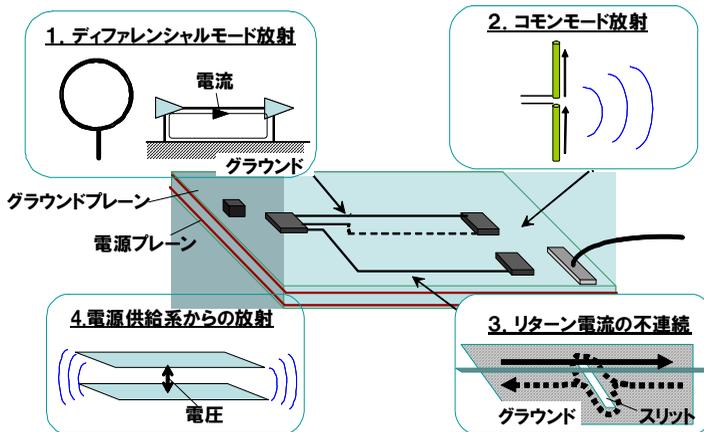


図 2-39 プリント配線板からの電磁放射のメカニズム

プリント配線板のグラウンドプレーンや基板に接続されたケーブルにはコモンモード電流が流れる。コモンモード電流はダイポールアンテナを流れる電流に等しく、ディファレンシャルモード電流と比較して放射を打ち消すリターン電流が存在しないため高いレベルの EMI

放射が発生する。基板やケーブルにコモンモード電流が励振される要因としては、1. グラウンドプレーンの不連続²⁾、2. 平衡線路と不平衡線路の変換部³⁾、3. デバイスや信号配線を通るディファレンシャルモード電流との結合⁴⁾などが考えられている。このうち、「3」は LSI や信号配線とグラウンドプレーンで構成されたループを通るディファレンシャルモード電流がグラウンドプレーン全体を励振してコモンモード電流を発生させるメカニズムとして、紹介されており、その放射レベルはディファレンシャルモード電流による EMI 放射レベルに比例する⁴⁾。

配線直下のグラウンドに設けられたスリットはスロットアンテナとして作用し、EMI 放射レベルを増加させることが知られている⁵⁾。これはマイクロストリップ線路直下のグラウンドプレーン上を流れてきたリターン電流の流れがスリットによって分断されて磁流が発生し、そこから電磁波が放射するスロットアンテナモデルを適用することにより説明できる。磁流の大きさは信号配線を通る電流やスリット長に比例する。多層プリント回路板において信号配線がプレーン状の電源とグラウンドを貫いて配線されるビア構造においても図 2・40 に示すようにリターン電流の不連続が発生し不要電磁波の放射レベルは増加する⁶⁾。

多層プリント回路板の電源プレーン、グラウンドプレーンで構成される電源供給系は平行平板伝送線路として作用する。図 2・41 に示すように LSI のスイッチングに発生する電源電圧変動はこの電源供給系の内部を伝搬し、プレーンの端部において電磁波を放射する⁷⁾。特に、この平行平板線路とみなした両プレーンが共振状態にあるときパッチアンテナと同様のメカニズムにより高レベルな EMI 放射が発生する。このときの共振周波数はプレーンの形状、デカップリングキャパシタの数や配置位置に依存する。

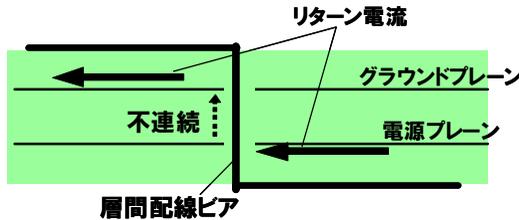


図 2・40 多層配線板におけるビア構造

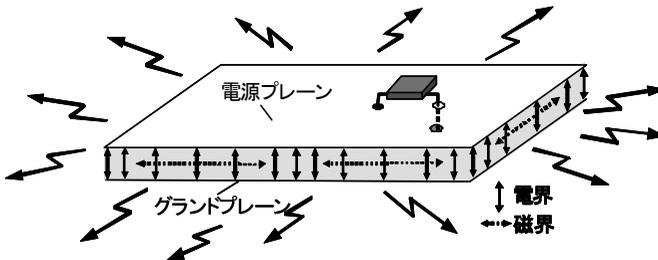


図 2・41 電源供給系からの放射メカニズム

■参考文献

- 1) 原田高志, “プリント回路板の EMI 発生メカニズムとモデリング,” エレクトロニクス実装学会誌, vol.5, no.7, pp.610-615, 2003.
- 2) 渡辺哲史, 鳥越 誠, 萩山康幸, 和田修己, 古賀隆治, “有限幅グラウンド基板に生じるコモンモード電流とノーマルモード電圧の関係,” 信学技報, EMCJ98-35, 1998.
- 3) 岡 尚人, 宮崎千春, 内田 雄, 仁田周一, ほか, “プリント基板からの放射エミッション抑制効果に対するグラウンド幅の依存性,” 信学論(B), vol.J82-B, no.8, pp.1586-1595, 1999.
- 4) 佐々木英樹, 原田高志, 栗山敏秀, “プリント回路基板からの不要電磁放射の信号配線レイアウト依存性,” 信学論(B), vol.J90-B, no.11, pp.1124-1134, 2007.
- 5) 丸山 隆, 原 敦, 古留 等, “放射ノイズを低減する基板実装設計手法,” 電子情報通信学会春季大会, abs.no.B-263, Mar., 1993.
- 6) D. Brooks, PCB Design Conf. WEST, pp.343-355, Mar., 1998.
- 7) 楠本 学, 原田高志, 和深 裕, “プリント配線板電源供給系からの EMI 解析モデル,” エレクトロニクス実装学会学術講演会, abs.no.23B-15, 2006.

2-2-6 放熱技術

(執筆者: 北城 栄) [2010年4月 受領]

電子機器の小型化, 高性能化により, 電子機器の発熱密度は今後も大きくなっていくと予想される. 一般的に, 電子機器の放熱技術は, 電子部品自身での放熱対策, 電子部品以外での放熱対策に分類される. 本編では, 電子部品自身の改善による放熱対策として半導体パッケージの放熱技術を, 更に, 電子部品以外での放熱技術として電子機器の放熱技術について概説する.

(1) 半導体パッケージの放熱技術

電子機器の小型化, 高性能化には, 半導体を含めた高密度実装技術の進展が欠かせない. その中でも半導体パッケージは, 小型化, 高速化のために高密度実装が必須である. 図 2-42 は, 代表的な半導体パッケージの構造に関して, 現在, 未来の進化の過程を示したものである¹⁾. 従来のパッケージ周囲でのリード接続に代わり, 最近では, パッケージの下面で半田ボールにより接続する BGA (Ball Grid Array) が普及している. 更には, 複数の半導体チップをまとめてパッケージにした MCM (Multi-Chip Module) や, 3 次元的に積層した SiP (System in Package) が携帯端末などで使用されている. 今後は, 半導体チップや受動部品を内蔵したパッケージや, 光, 無線の機能を内蔵した複合機能パッケージが開発され, 製品として登場してくると予想される.

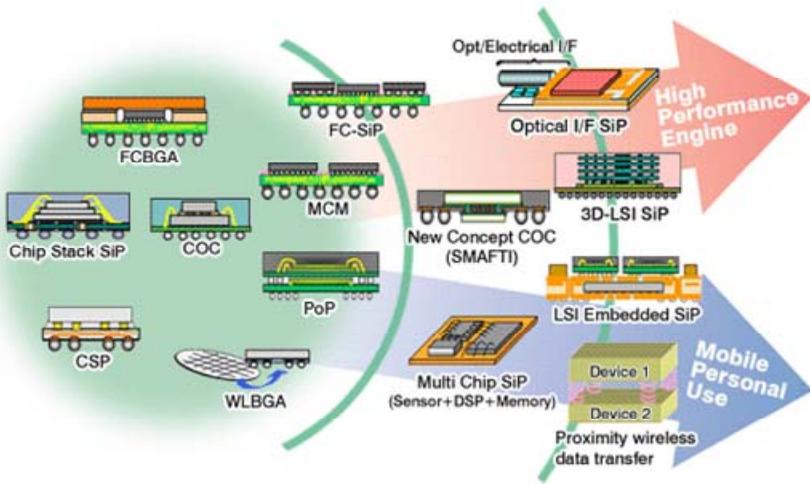


図 2・42 半導体パッケージの高密度化の進化

半導体パッケージの高密度化にともない発熱密度が高まり、パッケージの放熱技術が重要となっている。図 2・43 は、代表的なパッケージの構造とその熱抵抗の関係を示したものである²⁾。 θ_{jc} と θ_{ja} は、それぞれ、ジャンクション（半導体素子）からパッケージのケース表面までの熱抵抗、ジャンクションから周囲空気までの熱抵抗を示す。図より、パッケージの上面プレートが銅板製で、チップが伝熱ペーストで直接接着された ABGA（Advanced BGA）や FCBGA（Flip Chip BGA）などは熱抵抗が小さく放熱性に優れていることが分かる。

次に PBGA（Plastic BGA）を例にとり、パッケージの放熱性能の向上施策を紹介する（図 2・44）³⁾。27 mm 角の 256 ピン PBGA の中央に、16（4 × 4）個のサーマル・ボールをグラウンド端子として追加した半導体パッケージを 2 層のパッケージ基板に搭載すると、熱抵抗 θ_{ja} は 24.6 deg/W になる。この構造でパッケージ基板を 4 層にすると熱抵抗は 21.7 deg/W になり、約 10% の改善効果がある。ここで、サーマル・ボールがはんだづけされる半導体パッケージ搭載用のプリント基板のランドにスルー・ホールを多数設けて、内層のグラウンド・プレーンに熱伝導するパスを作ると、チップからの熱経路が「半導体パッケージ内のサーマル・ビア → サーマル・ボール → プリント基板のスルー・ホール → プリント基板の内層プレーン → プリント基板放熱」と連続した放熱経路が確立され、熱抵抗は 21.1 deg/W と小さくなる。

更に、サーマル・ボールを、チップ全面をカバーできる大きさの 64（8 × 8）個に増やしてやると、17.5 deg/W となる。このように、プリント基板を含む全体の熱設計によって、低コストの半導体パッケージを使いこなすことが可能となる。

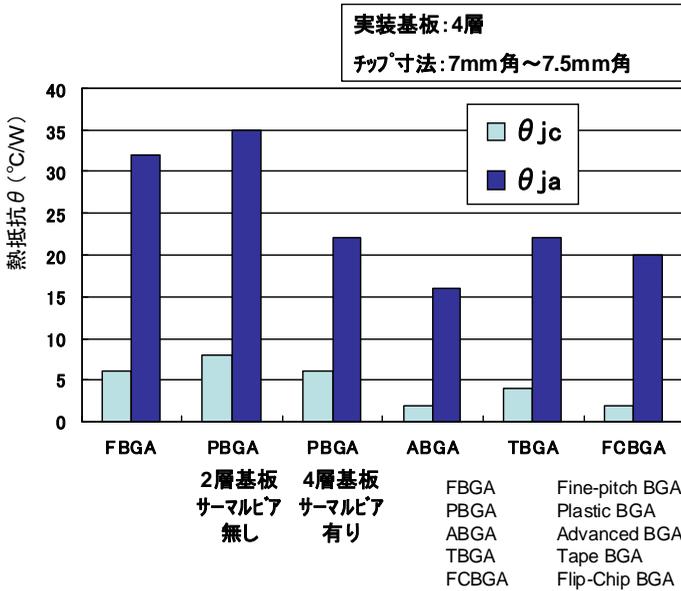
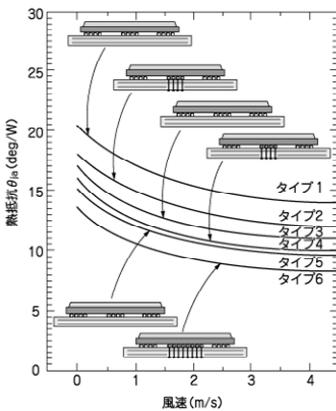


図 2-43 半導体パッケージの構造と熱抵抗

1. PBGAにサーマル・ボールを追加
2. パッケージ基板を2層基板から4層基板へ
3. パッケージ基板の内層プレーンを72 μm へ厚く
4. サーマル・ボール部に対応する実装基板に内層プレーンと接続したビアを設置



	サーマル・ビアの数	パッケージ基板の層数	パッケージを実装した基板のスルー・ホール	27mm角,272ピンまたは320ピンの実測値 ^{*)}
タイプ1 (272ピン)	16	2層	接続なし	24.6deg/W
タイプ2 (272ピン)	16	2層	2層と接続	23.7deg/W
タイプ3 (272ピン)	16	4層	接続なし	21.7deg/W
タイプ4 (272ピン)	16	4層	2層と接続	21.1deg/W
タイプ5 (320ピン)	64	4層	接続なし	18.4deg/W
タイプ6 (320ピン)	64	4層	2層と接続	17.5deg/W

注: チップ・サイズは10.4mm角, 風速は0m/s

図 2-44 PBGA の放熱構造と効果

更に将来に向けて発熱密度が向上したときのパッケージ放熱方式として、液冷を用いた例を紹介する⁴⁾。図 2・45 は、3 次元液冷パッケージの構造である。4 個の CPU を 3 次的に積層したパッケージ構造であり、各 CPU の間に薄型の液冷の流路板を設置してある。流路板は厚さ 1 mm 以下であり、内部には微細なチャンネル流路が形成されている。パッケージ全体の高さは、4 個の CPU を積層した状態で約 8 mm である。微細チャンネルの液冷方式を用いることにより、発熱量が 100 W レベルの半導体チップ 4 枚を積層して高密度実装しても、半導体を所定の温度まで冷却することが可能になる。

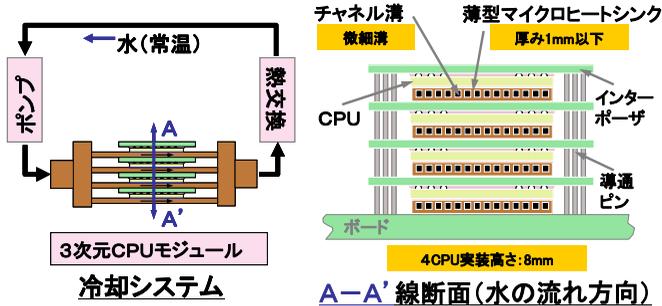


図 2・45 3次元液冷パッケージの構造

(2) 電子機器の放熱方式

半導体チップの発熱量が大きくなると、半導体パッケージの放熱構造の工夫のみでは冷却が困難になってくる。このときは、パッケージ以外にも含めて、電子機器全体で放熱性向上の工夫をする必要が生じてくる。図 2・46 は、電子部品の冷却方式と冷却性能の関係を示した図である⁵⁾。冷却性能は、ファンレスの自然空冷とファン搭載による強制空冷で性能が異なるため、図では横軸を空気流速のパラメータとしている。図中において、斜めの太破線より左下の領域は、ヒートシンクなどの冷却部品が必要になってくる領域である。以降では、半導体パッケージに接合して搭載する冷却部品の方式について概説する。

一般的に、冷却部品の放熱経路は図 2・47 のように考えられる⁵⁾。LSI などの発熱部から発生した熱は最終的にはすべて周囲（空気など）に放散される。周囲への熱の放散は、対流と放射が支配的であるが、図 2・47 は対流に関係する部分のみを表現している。

対流によって周囲に放散される熱について放散効率を上げるためには、空気と接する部分の空気流速を大きくすることと表面積を大きくすることが有効である。そのため、表面積拡大のためのヒートシンクを搭載したり、流速を上げるためのファンを搭載したりする。

また、ヒートシンクなどの熱の放散部を、電子機器の筐体内部の放散しやすい場所（例えば、筐体の通風孔の近傍）に設置して、発熱部から放散部までは高性能な熱移動により伝熱させると更に効率が上がる。発熱部の温度 T_j は、概して表現すると $T_j = (Q/\alpha) + T_a$ で示される。ここで、 Q は発熱量、 α は熱移動・放散特性、 T_a は空気温度を示す。この式から分かるように、 T_j を小さくするためには、 Q を小さく、 α を大きく、 T_a を小さくすることが有効であることが分かる。

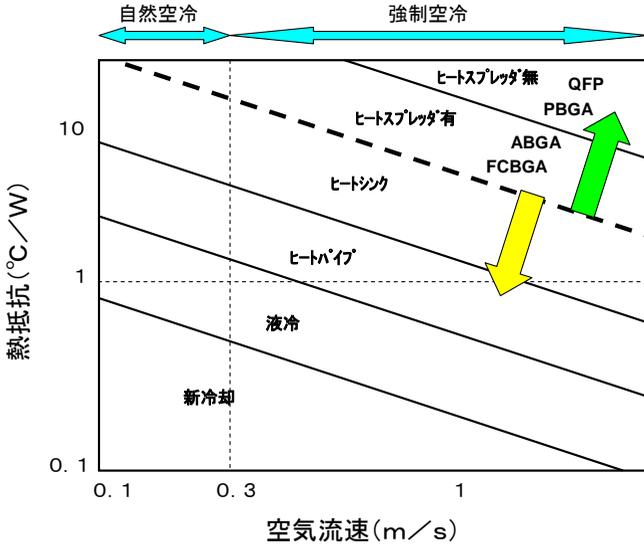


図 2-46 実装部品の冷却方式と冷却性能の関係



図 2-47 冷却部品の伝熱経路

次に、冷却方式の分類について紹介する。図 2-48 は、現状の様々な製品（電子製品に限らず）の冷却方式を示した図である⁵⁾。現状の電子機器の冷却においては、空冷、液冷、相変化冷却などが主に使われている。中でも空冷は、最も一般的かつ普及している方式である。

低コストで冷却効果を高められる点が最大の魅力である。液冷は、一部のスーパーコンやパソコンで間接液冷が使われている。相変化冷却は、ヒートパイプとしてノート PC に多用されている。冷凍冷却は、冷蔵庫やエアコンの冷却方式で実績があるが、高価、大型であるために電子機器の冷却で使われた例は今までほとんど無い。熱電冷却は、ペルチェ素子として光通信のデバイスの冷却などの一部の用途で使われている。ゼーベック素子は、熱を電気に変換する機能を持つが、将来、変換効率が上がれば冷却に対する効果も上げられる。前

述の発熱部温度 T_j を求める式において、ほとんどの冷却方式は α を大きくすることに貢献するが、冷凍冷却（ペルチェ素子も含む）は T_a を下げること、また、ゼーベック素子は見かけの Q を下げることにそれぞれ貢献する。

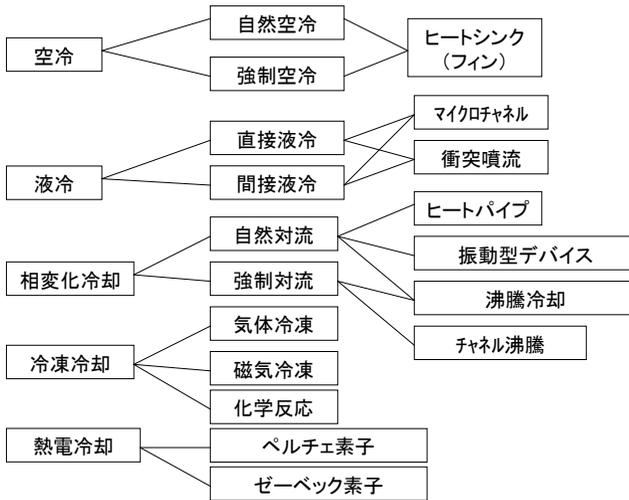


図 2-48 冷却方式の分類

電子機器の冷却方式として、発熱量が大きなものを廃熱する場合はファンが必要であり、しかも大きなファン流量を得るために結果として騒音が大きくなってしまいう場合が多い。この問題を解決する手段の一例として、パソコンに水冷を搭載して静音化している製品が登場している。図 2-49 は、デスクトップパソコンに搭載された水冷システムの概観写真である。



図 2-49 パソコン向け水冷システム

水冷システムの基本構成は、受熱部、放熱部（ラジエータ）、ポンプ、タンクから成り、水冷の高い伝熱性能によりファンの回転数を減らしても冷却できるようにしてファンを静音化している。また、図 2・49 の水冷システムの大きな特徴として、ハードディスクの冷却を水冷で行っていることがあげられる。ハードディスクを静音化するためには、ハードディスクの周囲を防振材で包む必要がある。しかし、防振材は熱の伝わりが悪いために、ただ包むだけでは放熱性が悪くなってしまふ。そこで、水冷方式によりハードディスクの熱を吸収して、CPU の熱と一緒にラジエータで放熱している。このような水冷システムを用いた静音冷却により、デスクトップパソコンとしての騒音は、通常の空冷時の最大騒音が 40 dB 以上であるところが、ハードディスクも含めた水冷方式を用いることにより常時 25 dB 以下を実現している。

以上、半導体パッケージ及び電子機器のそれぞれの場合について放熱技術を紹介してきた。実際の電子製品においては、放熱の性能、サイズを考慮して適した放熱方式を選択していく必要がある。また、製品の冷却方式において重要なのは、放熱に関わるコスト、信頼性である。例えば、ファンを使用することにより放熱性能は高くなるが、コスト、信頼性に関しては悪化する。また、どのような放熱方式が望ましいかの技術検討においては、熱計算（シミュレーションなど）が有効である。放熱のシミュレーションとしては、計算機の性能向上により空気の流れまで解く熱流体シミュレーションが一般化している。それでも、電子機器の装置全体をシミュレートするには計算時間が長くなることもあり、その場合には、伝熱現象を電気回路に置換して解く熱回路網法が、計算時間の短縮の点で効果がある。今後も、電子製品は小型化、高性能化の方向にあり、放熱技術や熱計算技術は益々重要になってくる。この領域の技術がこれからも進化して行き、今後も継続的に、便利で使いやすい電子製品が登場することを期待する。

■参考文献

- 1) http://www2.renesas.com/pkg/ja/pk02_01.html
- 2) http://www2.renesas.com/pkg/ja/characteristic/heat01_02.html
- 3) <http://www.kumikomi.net/archives/2005/07/11/package.php?page=19>
- 4) 三窪, 北城, “3次元CPUモジュール用高性能水冷マイクロヒートシンクの開発,” マイクロエレクトロニクスシンポジウム (MES2000), Nov., 2000.
- 5) 北城, エレクトロニクス実装学会誌, vol.8, no.3, pp.194-198, 2005.
- 6) <http://plusd.itmedia.co.jp/pcuser/articles/0801/18/news003.html>

■9 群 - 9 編 - 2 章

2-3 開発トレンドと展望

2-3-1 配線設計

(執筆者：須藤俊夫) [2009年10月 受領]

デジタル回路が高速に動作するに従い、信号配線は分布定数線路としての挙動を示す。従って、信号配線の特性格インピーダンスを考慮し、反射やクロストークなどの分布定数線路の影響を考慮した配線設計が必要となる。

配線を伝搬する信号の電圧 $v = v(x, t)$ 、電流 $i = i(x, t)$ は、配線の単位長当りのインダクタンスを L [H/m]、静電容量を C [F/m]、配線抵抗を R [Ω /m]、コンダクタンスを G [S/m] とすると、以下のような微分方程式で表される。

$$-\frac{\partial v}{\partial x} = Ri + L \frac{\partial i}{\partial t}, \quad -\frac{\partial i}{\partial x} = Gv + C \frac{\partial v}{\partial t} \quad (2.1)$$

これを単位長当りの等価回路で表すと図 2.50 のようになる。損失が少なく R, G が無視できる場合には、図 2.50 (b) のように L, C だけで簡易化して表される。

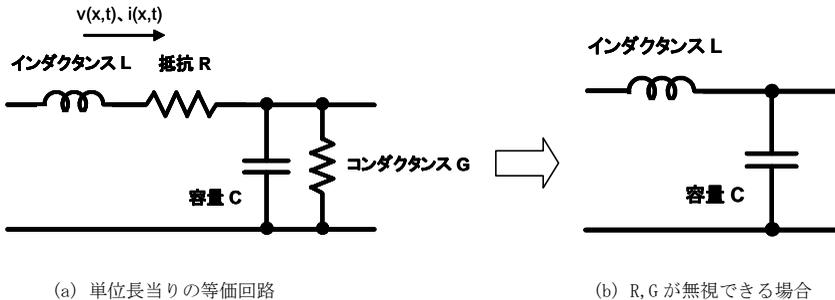


図 2.50 分布定数線路の単位長当りの等価回路モデル

なお、分布定数線路を集中定数等価回路として表す場合の単位区間は、信号の立ち上がり時間の $1/10$ に相当する空間長 l_s (信号の立ち上がり時間を τ_r 、信号が線路内を伝わる際の伝播速度 v_r としたとき $v_r \tau_r / 10$) 以下の短い長さ分割し、その長さに相当するインダクタンス

L_s と、静電容量 C_l で構成された集中定数等価回路を多段につなぐことによって表せる。

式(2.1)から分布定数線路の特性インピーダンス (Z_0)、信号伝搬速度 (V_0) は以下のように記述される。

$$\text{特性インピーダンス} \quad Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \approx \sqrt{\frac{L}{C}} \quad (2.2)$$

$$\text{信号速度 } V_0 = \frac{1}{\sqrt{LC}} = \frac{C_0}{\sqrt{\epsilon_r}} \quad (2\cdot3)$$

ここで、 $C_0 = 3.0 \times 10^8$ [m/s] で光の速度、 ϵ_r は材料の比誘電率である。プリント基板の場合、ガラスエポキシ樹脂の比誘電率は約 4.4 であるため、光の速度の約半分となる。

実際に、プリント配線板に使われる配線構造としては、信号配線導体とグラウンド導体（もしくはリターン導体）で構成されるシングルエンド配線と、二つの信号導体とグラウンド導体で構成される差動配線の 2 種類がある。

始めに、シングルエンド配線の代表的な構造には、1. マイクロストリップ線路、2. ストリップ線路、3. コプレーナ線路などがある。多層基板の表層にはマイクロストリップ線路が使われ、内層には上下を接地面や電源面で挟んだストリップ線路が使われる。その配線構造を図 2・51 に示す。なお、コプレーナ線路はマイクロ波回路で良く使われる構造である。

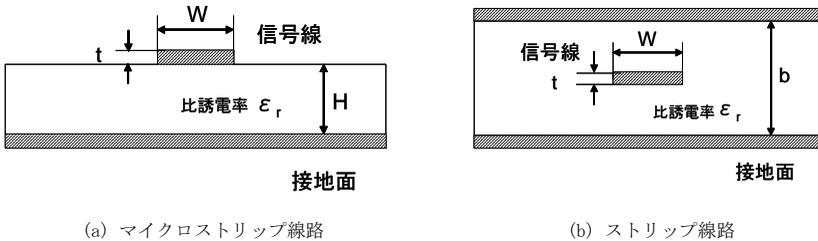


図 2・51 プリント基板の配線構造

これらの信号配線の特性インピーダンス Z_0 は、信号の配線幅、絶縁層の厚さの幾何寸法と誘電率で決まる。その簡易計算式を以下に示す。マイクロストリップ線路の Z_0 の簡易計算式を以下に示す¹⁾。

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98H}{0.8W + t} \right) \quad (2\cdot4)$$

次に、ストリップ線路の Z_0 簡易計算式を以下に示す。

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{4b}{0.67\pi(0.8W + t)} \right) \quad b = 2H \quad (2\cdot5)$$

マイクロストリップ線路の場合、より精度のよい計算式として Hammerstadt の計算式がある²⁾。

$$\frac{W}{H} \leq 1 \quad \text{の場合}$$

$$Z_0 = \frac{60}{\sqrt{\epsilon_{eff}}} \ln \left(\frac{8H}{W} + \frac{W}{4H} \right) \quad \text{ここで,}$$

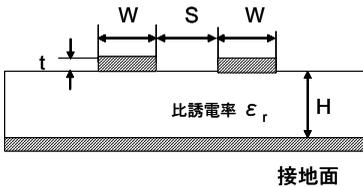
$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left[\frac{1}{\sqrt{1 + \frac{12H}{W}}} + 0.04 \left(1 - \frac{W}{H} \right)^2 \right] \quad (2.6)$$

$\frac{W}{H} \geq 1$ の場合

$$Z_0 = \frac{120\pi / \sqrt{\epsilon_{eff}}}{\frac{W}{H} + 1.393 + \frac{2}{3} \ln \left(\frac{W}{H} + 1.444 \right)} \quad \text{ここで,}$$

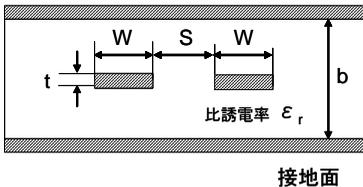
$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + \frac{12H}{W}}} \quad (2.7)$$

次に、差動信号配線の主な構造には、1. エッジ結合マイクロストリップ線路、2. エッジ結合ストリップ線路がある。図 2.52 に差動伝送線路の構造と差動インピーダンスの簡略式を示す³⁾。ここで、 Z_0 はそれぞれマイクロストリップ線路単体、及びストリップ線路単体の特性インピーダンスの値を示す。



$$Z_{diff} = 2Z_0(1 - 0.48e^{-0.96\frac{S}{H}})$$

(a) エッジ結合マイクロストリップ線路



$$Z_{diff} = 2Z_0(1 - 0.374e^{-2.9\frac{S}{b}})$$

(b) エッジ結合ストリップ線路

図 2.52 差動伝送線路の構造

なお、特性インピーダンス Z_0 を測定から求める方法として、時間領域反射法 **TDR (Time Domain Reflectometry) 法**がある。この方法は、反射係数から特性インピーダンス Z_0 を求める方法である。シングルエンド及び差動信号に対して、それぞれ特性インピーダンス、差動インピーダンスを求めるオシロスコープが市販されている。

2-3-2 冷却技術

(執筆者：坂本 仁) [20 年 月 受領]

2-3-3 光インターコネクション

(執筆者：塩田剛史) [2009 年 11 月 受領]

(1) はじめに

装置内、特に配線板内の光回路化は、信号伝送の高速化、大容量化の流れで顕在化してくる配線密度問題、ノイズ問題、消費電力の問題を解決する手法として注目を集めている。光インターコネクションという概念は広いので、本稿では、光回路媒体として注目されている高分子光導波路を用いた光インターコネクションの動向と実用化への課題に関して述べる。

光伝搬損失などの高分子光導波路の基本特性はクリアできており、事業化に向け「デスバレー」を乗り越えるべく各社いわゆる「泥臭い」開発を進めている段階であるためと思われる。そこで、本稿では、最新動向もさることながら、事業化への課題をできる限り多く盛り込み、現状をまとめた。

(2) 光配線板の想定市場

高分子光導波路を用いた光配線板の想定市場マップ¹⁾を図 2・53 に示す。高分子光導波路は、光ファイバあるいは石英系光導波路では困難な領域に入っていくと考えられる。現在、考えられている大きな市場としては、データセンター（ボード内伝送）と携帯端末といわれている。マップ上で見て、伝送速さは対称的な市場ではあるが、それぞれ、光回路化の流れがきており、着実に各社が技術開発している段階である。

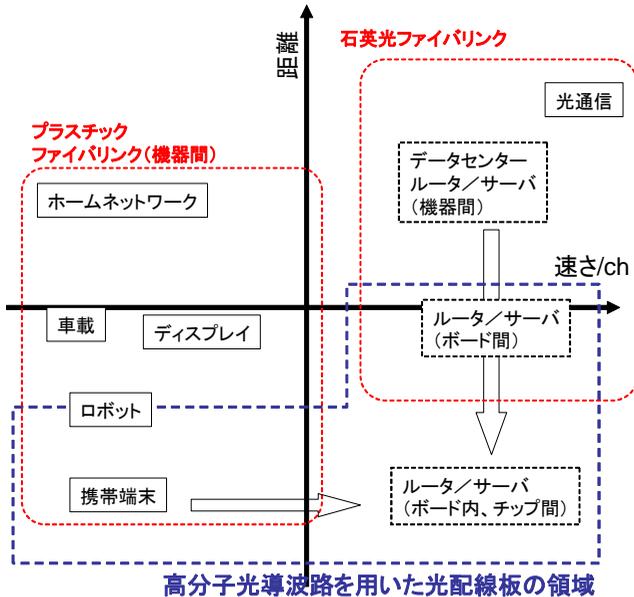


図 2-53 光インターコネクションの想定アプリケーションと高分子光導波路を用いた光配線板の領域

高分子光導波路を用いた光配線板の想定ロードマップ¹⁾を図 2-54 に示す。図 2-54 では、光配線板内の高分子光導波路位置に注目した形で表した。まず、光ファイバがボード間などの伝送用に実用化される(構造 A)。携帯端末や産業機器などにおいては、光ファイバの代わりにハンドリング性、フレキシブル電気配線板とのコンパチビリティ、屈曲性などの理由から光導波路が検討されている。更なる多チャンネル化の流れから、高分子光導波路が着実に実用化されていくと考えられる。次に、LSI 周辺と、基板端のコネクタ部までの限られた領域の光回路化と想定される。構造も従来のプリント配線板の一部に光配線部が取り付けられた構造(構造 B)である。その後、更なる高密度化への要求に対して、光配線板内を自由に光配線できる構造(構造 C)になっていくと予想される。

光配線板内の高分子光導波路の位置により、光結合間の距離が異なるため、光結合方法が異なる必要が出てくる。多く検討されている高分子光導波路のコアの大きさが $100\ \mu\text{m}$ 以下とすると、 $200\ \mu\text{m}$ 以上離れた場合、光閉じ込め機能が必要となる。例えば、広がり半角 10° の面発光レーザー(開口径 $10\ \mu\text{m}$) から出射された光は、 $200\ \mu\text{m}$ 離れた場所では約 $80\ \mu\text{m}$ のスポット径に広がることから理解できる。よって、図 2-54 の構造 C において、光配線板の光入出力部と受発光素子間の光結合構造が最も重要な課題となる。これに関して、まだ最適解が見出せていないため、プロセス更には材料において、まだまだ開発要素が多くあると考えられる。

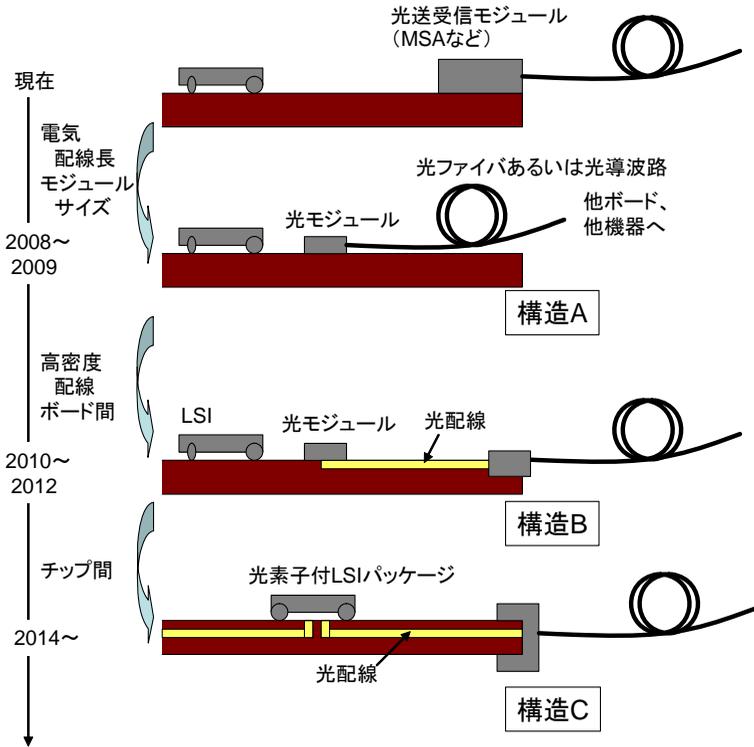


図 2-54 高分子光導波路を用いた光配線板の想定ロードマップ

(3) 高分子光導波路を用いた光配線板の開発動向

光配線板向けの高分子光導波路の開発は、およそ 2000 年からホットになり、日本で数十社が開発を行ってきた。次第に淘汰され、現在、実力のある企業が残っていると思われる。主な開発メーカーと材料系を表 2-9 にまとめた。

光伝搬損失は、波長 850 nm においてほとんどが 0.1 dB/cm あるいは 0.05 dB/cm 以下であり、低伝搬損失化が着実に達成されている。伝搬波長についても光素子の寿命、コストなどの面で、1 μm あるいはそれ以上といった長波長化などの議論が今後起こると思われる。材料メーカーが開発してきていることから、材料も各社まちまちであり、プロセスもまちまちとなっているのが日本の特徴と考えられる。

図 2-54 の構造 C の場合、プリント配線板製造技術とのコンパチビリティの必要性から、ドライフィルムタイプが良いと考えられる。JSR 社が最近登録した特許²⁾があり、今後事業化において注意が必要となるであろう。

ただ、図 2-54 の構造 C の高分子光導波路内層型の高密度光配線板は、まだまだ開発の途中であり、材料系もプロセスも変わることは十分に考えられる。

表 2・9 高分子光導波路の主要開発メーカ

	プロセス	材料系
富士ゼロックス	転写法	アクリル系
日立化成	露光、現像	アクリル系
JSR	露光、現像	アクリル系
パナソニック電工	露光、現像	エポキシ系
住友ベークライト	露光(フォトドレス)	ノルボルネン系
日本ペイント	露光(フォブリーチ)	ポリシラン系

表 2・10 ボード間光インターコネクション用モジュール構造例とその特長、課題

	構造例の概念図	特長	課題
光コネクタタイプ		<ul style="list-style-type: none"> ・インターフェース(I/F)が光のため、接続部のノイズ無し ・光ケーブルと素子部分が分離しているため、製品保証の面で比較的ハードルは低い 	<ul style="list-style-type: none"> ・高寸法精度 ・他と比べると嵩高
電気コネクタタイプ (直接光接合)		<ul style="list-style-type: none"> ・モジュールの低背化 ・結合効率が高い 	<ul style="list-style-type: none"> ・光導波路の高速実装手法の開発が必要 ・電気I/F部のノイズなど ・信頼性?
電気コネクタタイプ (チップ実装)		<ul style="list-style-type: none"> ・モジュールの低背化 ・結合効率が高い 	<ul style="list-style-type: none"> ・高寸法精度 ・素子の実装信頼性 ・電気I/F部のノイズなど ・信頼性?

現在の開発のターゲットとして、以下の三つの構造が検討されている。一つ目が、光導波路フィルムの両端にコネクタが接合され、例えば光ファイバアレイや光モジュールなどとの接続に用いられるもの、二つ目が、光導波路を受発光素子に直接接着剤などで光結合し、光モジュールとして用いられるもの、三つ目が、光導波路上に電気配線が形成、あるいは、薄い電気配線板が積層されており、そこに光素子が実装され、コンパクトな光モジュールとして用いられるものである。表 2・10 にそれぞれの概念図と特長、課題をまとめた。

このような構造は主に、図 2・54 のロードマップでいうところの構造 A あるいは構造 B に相当する。フレキシブル電気配線板と光導波路の積層構造でかつ、光素子が実装されている構造に関して、住友ベークライトやパナソニック電工、日立化成工業が精力的に開発を進めている。電気配線層に絶縁層厚 25 μm 以下と薄いフレキシブル電気配線板を用いていることから、受発光素子と光導波路間の距離が比較的短く、特に複雑な光結合構造が必要でないため、実用化が近いと考えられる。

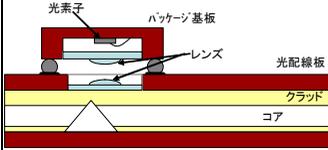
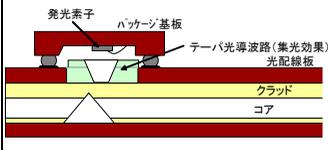
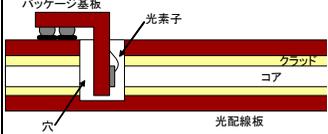
しかしながら、量産を考えたときの位置精度（例えば素子実装用電気パッドと光入出力端子（光導波路端部）の相対位置精度）など、まだ大きな課題はある（図 2・55 参照）。

例えば、量産時 $\pm 20 \mu\text{m}$ の相対位置精度が求められることも考えられる。一方、構造 C に

関しては、まだ R&D ステージであり、光結合構造の最適解を見つけている途中である。表 2・11 に、構造 C に関して提案されている構造及びそれらの長所と課題を示した。大きく分けて、レンズを用いる方法、導波構造（小型導波路）を搭載する方法、受発光素子を直接埋め込む方法である。量産プロセスを考慮した構造という点が共通課題である。

今後、日本電子回路工業会（JPCA）内の光電子回路実装標準化委員会にて、構造 C に関する課題を量産という視点で整理し、開発の方向性を提案していきたいと考えている。

表 2・11 構造 C の光結合部分の提案例（概念図とその特長、課題）

	構造例の概念図	特長	課題
レンズ接続タイプ		<ul style="list-style-type: none"> ・従来のはんだ実装が使用可能 ・インクジェット方式でのレンズ形成など、安価な手法が提案 	<ul style="list-style-type: none"> ・レンズと光部品との位置精度は必要。量産性？ ・インクジェットの場合、形成レンズの光学特性の安定性。 ・レンズ表面の汚染
小型導波路接続タイプ		<ul style="list-style-type: none"> ・光配線と光素子間を導波路構造で結ぶため、高効率かつ、空間部分を無くすことが可能 ・テーパ光導波路型にすることにより、位置精度許容幅が大きくなる。 	<ul style="list-style-type: none"> ・量産性のある小型導波路加工方法
モジュール縦埋め込みタイプ		<ul style="list-style-type: none"> ・ミラーがないため、コアと光素子を近づけることが可能。よって高結合効率化。光配線板の加工も簡便化。 	<ul style="list-style-type: none"> ・パッケージ基板の構造の量産性。素子実装精度。 ・穴位置精度と加工面粗さの低減。およびその量産性。

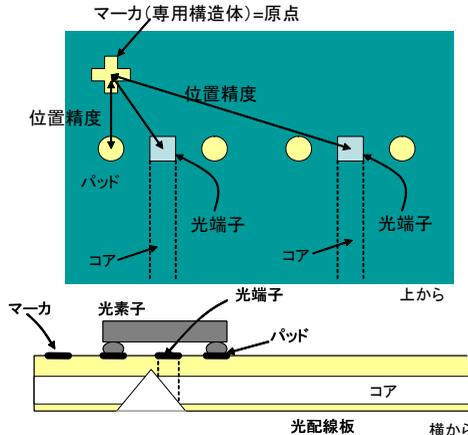


図 2・55 光端子と電気端子（パッド）との相対位置精度の説明図

(4) 実用化への課題

高分子光導波路を用いた光配線板の実用化への課題を以下の三つの視点でまとめた。

(a) サプライチェーン

電気配線板の場合、設計、基板（部品）製造、実装／組み立てがサプライチェーンとして成り立っており、それぞれのレイヤーが業界として対応し、要求に対して安定供給を可能にしている。光インターコネクションの場合、特に、設計のメーカが不在である。それゆえ、開発をしようとしても、どのように使ったらよいか分からないということに陥ってしまう。

光インターコネクションにおいても、サプライチェーンを意識し、特に設計に関わるメーカの参入及び光配線が組み込まれた配線設計ツールの開発が急務である。

(b) 量産化技術、製品検査方法

例えば、コンシューマ向けとなると、数量が桁違いに多くなる。携帯端末を考えた場合、少なく見積もっても 100 万個～1000 万個／月である。このような数量を考えた量産化技術が必須となるが、ここがまだ足りないところである。また、量産時に当然のことながら製品検査装置が必要となる。光学検査と寸法検査が主な検査項目となると考えられる。

前者に関して、きっちり調心した上で挿入損失を測定するとなると、検査コストだけでもかなりコスト高になってしまう。光学導通検査のような概念の検査装置が今後求められるであろう。最近、シナジーオプトシステムズ社から、光配線板用光導通検査装置「光テスター」が報告された³⁾。これは、1 秒以下で光の導通検査する手法である。光入出力端子から出射光の画像解析で相対損失を測定しており、同時に高速でコアの位置座標も測定できる。

今後このようなコンセプトの検査装置が次々と登場し、議論されることが期待される。

(c) 情報の共有化

開発が進むと、当然ながら多くの情報はクローズになってしまう。開発メーカが増えてくると、情報の分散が起こってくる。光配線板メーカとすると、開発段階では、パートナーを絞ることになり、結果として、先の市場／将来の業界（自社）のあるべき姿を考えた開発／事業計画が立てにくくなってしまふ。結果として、まだ市場が立ち上がっていないのに競合を意識しすぎ、お互いの足の引っ張り合いをしてしまっているようにも思える。それゆえに、先に述べたように、サプライチェーン上での業界として対応することが困難な状況に陥ってしまう。

以上のように、光配線化は、配線設計の革新技術であるため、ものづくりはもちろんのこと、それ以外の面の課題も多い。今後、健全な市場立ち上がりの準備として、数社のアライアンスやパテントプールなどを視野に入れる必要が出てくると思われる。そのための一つの方策として、まだまだプリミティブであるが、光電子回路実装標準化委員会では、光インターコネクションにおける想定サプライチェーンを提示し、レイヤーごとに各社の製品／技術情報（特徴）をまとめたデータベースを作成し、web 上で閲覧できるようにした⁴⁾。これにより、各社の特徴、更には事業領域を明確にし、業界全体としての対応力を示すことが可能となることを期待している。基本的にはオープンであるため、自由に参画できる。是非このツールをうまく活用してほしいと思っている。このほかにも、今後、知的財産という視点で、様々な形で光電子回路実装標準委員会から発信していきたいと思う。業界としての様々な活動を通し、業界が同じ方向を向き、健全な市場が立ち上がることを願っている。

(5) おわりに

高分子光導波路を用いた光配線板の動向と実用化への課題をまとめた。基本的な光学特性などは各社クリアできるものが提案されているが、事業化へのハードルはまだ高い。技術的な面では、光結合構造、言い換えると、光インターフェース部分の最適構造の開発が課題である。業界として、特許や標準化といった知的財産をうまく活用しながら、日本が世界をリードした光配線板市場が立ち上がることを期待している。

■参考文献

- 1) 塩田, “光配線板のすべて,” 工業調査会, 9月号, 第1章, 2007.
- 2) 特許第 4186462 号.
- 3) 松井, “光テスター：光配線板用光導通検査装置の提案,” エレクトロニクス実装学会 第 38 回 OPT 公開研究会, Jan., 2009.
- 4) <http://www.jpca.net/hikari/top.html>