

■9 群 (電子材料・デバイス) - 9 編 (インターコネクション・実装技術)

1 章 パッケージレベルインターコネクション技術

(執筆者: ○○○) [2011 年 月 受領]

■ 概要 ■

【本章の構成】

■9 群 - 9 編 - 1 章

1-1 パッケージ用サブストレート

(執筆者：荻谷 隆) [2009 年 8 月 受領]

■9 群 - 9 編 - 1 章

1-2 チップとパッケージの基本的接続

(執筆者：片桐光昭) [2010年3月 受領]

1-2-1 解説

チップとパッケージの主要な接続方法は、

1. ワイヤボンディング
2. フリップチップボンディング
3. TAB (Tape Automated Bonding)

の三つに分類され、それぞれ、チップ側の電極とパッケージ基板側の電極とを接合する技術である。本節では、各接続方法におけるインターコネクションの観点での技術を述べる。

チップとパッケージを接続する部分は形状的には小さなものであるが、微小な間隔での接続であり、微細な金属での接続形態であることが多いため、構造を考慮した電気特性的な設計時には、その容量よりもインダクタンスや抵抗が主要な課題となる。

1-2-2 ワイヤボンディング

ワイヤボンディング技術は、古くから半導体パッケージの分野で使われ、現在も主流の接続形態である。接合方法も、超音波、熱圧着などのエネルギーの加え方のほか、ワイヤを保持するキャピラリの使い方による、ネイルヘッド方式やウェッジ方式などの違いがあるが、電気的なインターコネクションの観点では、材料と形状が最も大きな影響を持つ。

ワイヤボンディングに使われる材料としては、金 (Au) が主流ではあるが、アルミ (Al) のほか、銅 (Cu)、銀 (Ag) といった材質や、これらの合金が使われることもある (チップ側のパッドメタル種類やコストのほか、生産性や信頼性の観点で選択される)。

一般的な半導体では、ワイヤの直径は 18~30 μm 程度が主流 (図 1・1 参照) だが、パワー系の半導体ではより太いものも使われている。

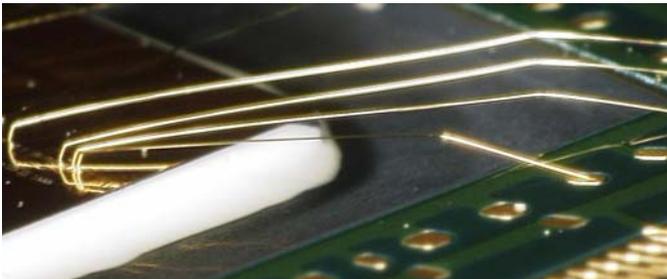


図 1・1 Au ワイヤによるボンディング

ワイヤの自己インダクタンスは、ワイヤ径にも若干依存するが、ほぼ長さに比例すると考えてよく、1 nH/mm という概略値が、初期の設計によく用いられる。

ワイヤによく用いられる材質の導電率（抵抗）は、

金 (Au) :	4.1E+7	[S/m]	(2.3 [$\mu\Omega \cdot \text{cm}$])
アルミ (Al) :	3.55E+7	[S/m]	(2.7 [$\mu\Omega \cdot \text{cm}$])
銅 (Cu) :	5.8E+7	[S/m]	(1.7 [$\mu\Omega \cdot \text{cm}$])

であり、例えば、典型的な金 (Au) ワイヤが直径 25 μm の時、直流抵抗は、約 50 $\text{m}\Omega/\text{mm}$ となる。

ただし、実際の導体中の高周波電流は、導体の断面を一様には流れず、導体表面に集中して流れる（導体中に流れる電流によって発生する磁界が電流分布に影響を与え、導体表面の薄い領域に電流が流れるように作用し、電流の再分布が起きることに起因する）ため、導体の抵抗は増加する（図 1・2 参照）。これを表皮効果という。

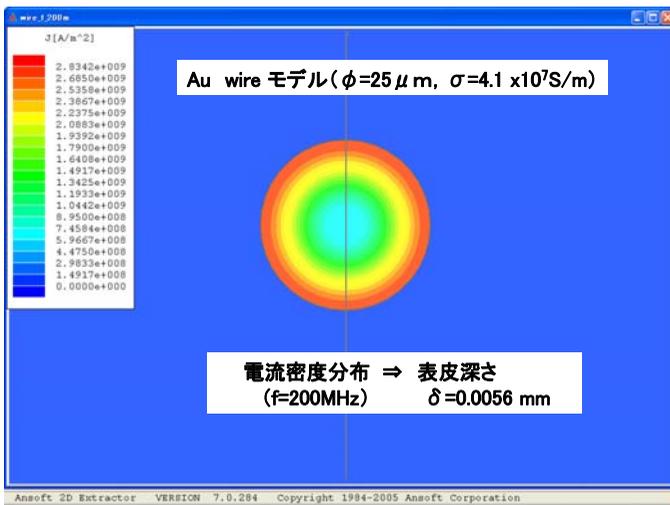


図 1・2 Au ワイヤにおける表皮効果（2次元電磁場解析による電流分布図）

金ワイヤの直径が 25 μm で、周波数が 200 MHz の時、抵抗は倍の約 100 $\text{m}\Omega/\text{mm}$ となる。この増加分を考慮した抵抗を簡単な近似を用いて、

$$R(f) = R_{\text{DC}} + R_{\text{AC}}, \quad R_{\text{AC}} = R_s * \sqrt{f}$$

(f : 周波数, R_{DC} : 直流抵抗, R_{AC} : 高周波抵抗, R_s : 比例係数)

と表すことが多い。

1-2-3 フリップチップボンディング

フリップチップボンディングは、チップの電極とパッケージ基板上の電極を向かいあわせにバンプ（突起）を介して接続する技術である（図 1・3 参照）。このため、ワイヤボンディング方式や TAB 方式の接続に比べて最も接続長が短くなる特徴がある。

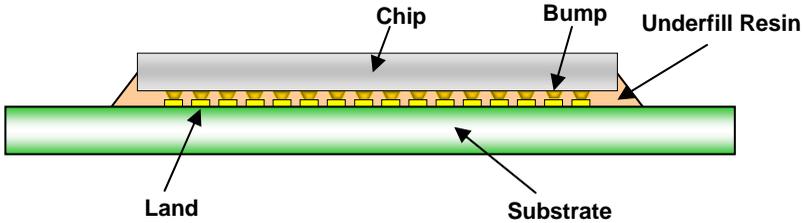


図 1・3 典型的なフリップチップ接続構造

フリップチップボンディングは、はんだバンプや金バンプなどを用いた金属接合方式のほか、有機材料を用いた接合である、導電性樹脂接合や、異方性導電部材接合などの接着接合方式もあり、近年、多くの接合方式が開発されてきている。

フリップチップボンディング技術では、バンプ形成とバンプの接合方法が重要であり、バンプの材料、形状、高さは、接合方式により異なる（図 1・4 参照）。

接続構造	はんだバンプ接合	Au+はんだ	Au+導電性樹脂	Au+Au	Au+導電粒子
構造例					

図 1・4 各種フリップチップ接続方式

フリップチップボンディングにおいては、接続部の構造が微小なため、電気的特性を検討する際は、接続部の特性以上に、チップ側電極の機能的な並び（信号/GND 比率など）や、接続部までのパッケージ基板上の引き出し配線パターンが大きな特性上の要因となり得る。

1-2-4 TAB (Tape Automated Bonding)

TAB は、絶縁性のフィルム上に形成された銅箔の回路パターンリード先端部で、チップの電極と接合する技術である。多くの場合、リード先端部とチップの電極との間にバンプ（金属突起）を介した接合となっている。フィルムの材質は、ポリイミドが主流だが、ガラスエポキシ、BT レジン、ポリエステルといった種類もある。

TAB 技術は、フィルムを自由に折り曲げることができるという特質のほか、多くの実装方式の中でも、ファインピッチ接合の実現に最も適しているという大きな特徴を持つ。

ILB (Inner Lead Bonding) と呼ばれるプロセスでは、フィルムテープのデバイスホールから突き出したインナーリードとチップ電極をボンディングツールを用いて接合する（図 1・5 参照）。この時のインナーリードを区別してフライングリードと呼ぶこともある。また、デバイスホールの無い構造の TAB では、よりファインなピッチ化も可能となり（図 1・6 参照）、

COF (Chip on Film) とも呼ばれる。

このような構造的特徴を持つ TAB 技術においては、前節のフリップチップ接続構造と同様、接続部が微小なため、電気的特性を検討する際は、接続部の特性以上に、チップ側電極の機能的な並び (信号/GND 比率など) や、接続部までのパッケージ基板上の引き出し配線パターンが大きな特性上の要因となり得る。

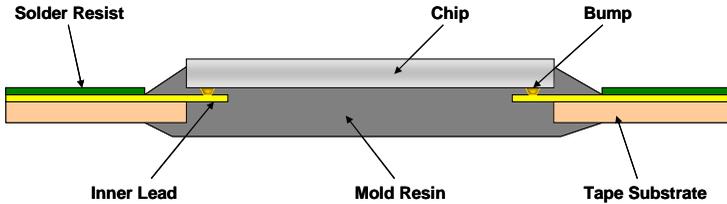


図 1・5 デバイスホール有りの TAB 構造

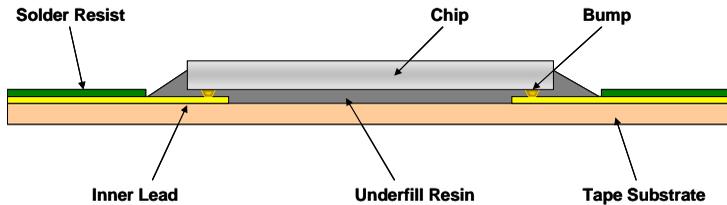


図 1・6 デバイスホール無しの TAB 構造

■参考文献

- 1) “ハワード・ジョンソン 高速信号ボードの設計—基礎編—,” 第 2 章.
- 2) E. Bogatin, “Signal and Power Integrity –SIMPLIFIED,” 2nd ed., Chap.6, Prentice Hall.

■9群-9編-1章

1-3 部品内蔵パッケージ

(執筆: 佐藤光孝) [2009年10月 受領]

通常の半導体パッケージは、半導体チップのみをパッケージングすることが多かったが、特性面や、モジュール、機器セットの小型化薄型化の要求にこたえるため、部品を内蔵したパッケージが開発され、製品化されている。

特性面から考えると、高速化・低ノイズ化の要求がある。部品を内蔵させることで特性をコントロールした製品を供給することが可能となる。

実装面積としては、これまでモジュール側で搭載していた部品をパッケージ内に取り込むことで、パッケージ面積は大きくなるもののモジュール面積を減らすことになり付加価値を付与した製品となる。また、機器メーカーの部品点数が減るという利点もある。

更なる小型化のために、これまでは配線のスペースであったパッケージ基板内に部品（半導体チップなど）を埋め込むことで小型化薄型化を実施し、更なる高密度実装を行っていく方向である。

(1) パッケージ内蔵タイプ (BGA, LGA)

パッケージ基板の上に SMT 技術で部品搭載したものに半導体チップを混載する。このときのチップ接続はフリップチップ、ワイヤボンディング両方可能である。ウエハレベルパッケージを搭載する場合もある。

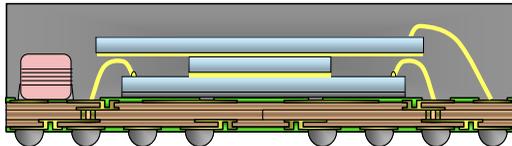


図1-7 ワイヤボンディングタイプ

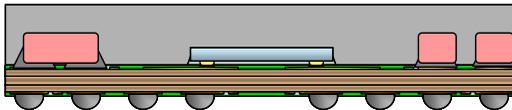


図1-8 フリップチップタイプ

フリップチップタイプでは、モールド樹脂を封止しないものや、ノイズ対策として金属キャップなどを取りつける場合もある。

(2) 部品（半導体チップ）内蔵した基板を使用するタイプ

基板内に薄膜部品や薄い半導体チップを埋め込んで接続させ、パッケージ基板表面の実装

面積を広くし、受動部品を高密度に実装する方向で開発が進んでいる。PoP タイプでは、パッケージの薄型化のために、下パッケージの基板内に、半導体チップを内蔵し、上パッケージとのギャップレスにすることが可能である。

(3) パッケージ基板表面に部品を高密度実装したタイプ

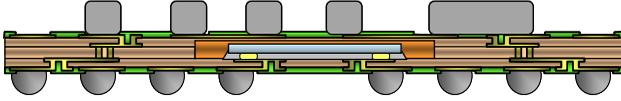


図 1・9

(4) 下パッケージのパッケージ基板表面にランドを設けた PoP タイプ

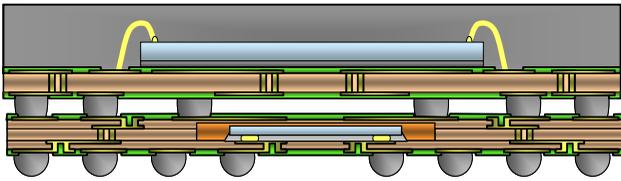


図 1・10

(5) チップ抵抗、チップコンデンサなどのパッシブ部品をパッケージ基板に内蔵したタイプ

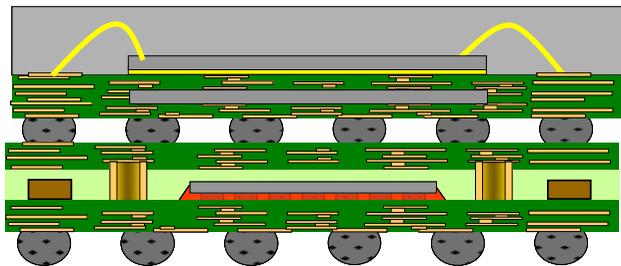


図 1・11

これらのように、部品を内蔵することで省スペース化と高機能化を同時に実現できることから、今後一般的に使用されていくことが予想される。